

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**





①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 101 00 194 A 1**

⑤1 Int. Cl. 7:  
**H 01 L 29/78**  
H 01 L 27/088  
H 01 L 21/84  
H 01 L 21/336

⑦1 Aktenzeichen: 101 00 194.0  
⑦2 Anmeldetag: 4. 1. 2001  
④3 Offenlegungstag: 19. 7. 2001

DE 101 00 194 A 1

③0 Unionspriorität:

00-670	07. 01. 2000	KR
09/711706	13. 11. 2000	US
00-75482	12. 12. 2000	KR

⑦1 Anmelder:

Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

⑦4 Vertreter:

Kuhnen & Wacker Patentanwalts-gesellschaft mbH,  
85354 Freising

⑦2 Erfinder:

Bae, Geum-jong, Suwon, Kyungki, KR; Choe,  
Tae-hee, Seoul/Soul, KR; Kim, Sang-su, Kimpo,  
Kyungki, KR; Rhee, Hwa-sung, Seoul/Soul, KR; Lee,  
Nae-in, Seoul/Soul, KR; Lee, Kyung-wook,  
Sungnam, Kyungki, KR

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

⑤4 Integrierte CMOS-Schaltungsvorrichtungen und Substrate mit eingegrabenen Silizium-Germanium-Schichten und Verfahren zur Herstellung derselben

⑤7 Integrierte CMOS-Schaltungsvorrichtungen enthalten eine elektrisch isolierende Schicht und eine unbeanspruchte und spannungsfreie Siliziumaktivschicht auf der elektrisch isolierenden Schicht. Eine isolierte Gateelektrode ist ebenfalls auf einer Oberfläche der unbeanspruchten oder spannungsfreien Siliziumaktivschicht vorgesehen. Ferner ist auch eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht zwischen der elektrisch isolierenden Schicht und der unbeanspruchten oder spannungsfreien Siliziumschicht angeordnet. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht bildet einen ersten Übergang mit der unbeanspruchten oder spannungsfreien Siliziumaktivschicht und besitzt eine gestaffelte bzw. gradientenförmig verlaufende Konzentration von Ge, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zu der Oberfläche der unbeanspruchten oder spannungsfreien Siliziumaktivschicht hin erstreckt. Der Spitzen-Ge-Konzentrationswert ist größer als  $x = 0,15$  und die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht variiert von dem Spitzenwert aus zu einem Wert hin, der kleiner ist als etwa  $x = 0,1$ , und zwar bei einem ersten Übergang. Die Konzentration von Ge an dem ersten Übergang kann abrupt verlaufen. Bevorzugter variiert die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht von dem Spitzenwert aus, bei dem gilt  $0,2 < x < 0,4$  zu einem Wert hin, bei dem gilt  $x = 0$ , und zwar bei dem ersten Übergang. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht besitzt auch ein rückläufiges Arsendotierungsprofil darin, und zwar relativ zur ...

DE 101 00 194 A 1

## Beschreibung

## Gebiet der Erfindung

Die vorliegende Erfindung betrifft Halbleitervorrichtungen und Herstellungsverfahren und spezieller MOS-basierte Halbleitervorrichtungen und Substrate und Verfahren zur Herstellung derselben.

## Hintergrund der Erfindung

Teilweise verarmte silicon-on-insulator MOSFETs (Silizium-auf-Isolator-MOSFETs) (PDSOI) bieten eine hohe Geschwindigkeit und eine niedrige Energieperformance, sind jedoch in typischer Weise gegenüber parasitären schwebenden oder schwimmenden Hauptteileffekten (body effects) (FBE) anfällig, was die Vorrichtungsqualität in ernsthafter Weise verschlechtern kann. Es wurden vielfältige Techniken vorgeschlagen, um in SOI MOSFETs die FBE zu reduzieren. Eine derartige Technik umfaßt die Verwendung einer engen oder schmalen Bandspalt-SiGe-Schicht benachbart einer Source eines SOI-NMOS-Feldeffekttransistors. Wie von Fachleuten verstanden werden kann, reduziert die Verwendung einer SiGe-Schicht die Potentialbarriere für Löcher, die von der Hauptteilzone zu der Sourcezone verlaufen. Daher können Löcher, die in der Hauptteilzone durch Aufschlagionisation erzeugt wurden, kontrollierter in die Sourcezone durch den Pfad bestehend aus p-Si/body/n-SiGe(source)/n-Si(source) fließen. Diese und andere in Beziehung stehende Techniken sind in den Artikeln von J. Sim et al. beschrieben, mit dem Titel "Elimination of Parasitic Bipolar-Induced Breakdown Effects in Ultra-Thin SOI MOSFETs Using Narrow-Bandgap-Source (NBS) Structure" ("Beseitigung von parasitären bipolar-induzierten Durchbrucheffekten in ultradünnen SOI MOSFETs unter Verwendung einer Schmalbandspaltquellen-(NBS)-Struktur"), IEEE Trans. Elec. Dev., Band 42, Nr. 8, Seiten 1495-1502, August (1995), und von M. Yoshimi et al. mit dem Titel "Suppression of the Floating-Body Effect in SOI MOSFETs by the Bandgap Engineering Method Using a Si<sub>1-x</sub>Ge<sub>x</sub> Source Structure" ("Unterdrückung des Schwimm- oder Schwebekörpereffekts in SOI MOSFETs mit Hilfe des Bandspalt-Fertigungsverfahrens unter Verwendung einer Si<sub>1-x</sub>Ge<sub>x</sub>-Quellenstruktur"), IEEE Trans. Elec. Dev., Band 44, Nr. 3, Seiten 423-429, März (1997) offenbart. Das US-Patent Nr. 5.698.869 von Yoshimi et al. mit dem Titel "Insulated-Gate Transistor Having Narrow-Bandgap-Source" ("Gateisolierter Transistor mit einer schmalen Bandspaltquelle") offenbart ebenfalls die Verwendung eines schmalen Bandspaltmaterials innerhalb einer Sourcezone eines MOSFETs.

Techniken, um die FBE zu reduzieren und um die Kanaleigenschaften in MOSFETs zu verbessern, sind auch in dem US-Patent Nr. 5.891.769 von Liaw et al. beschrieben, welches den Titel trägt "Method for Forming a Semiconductor Device Having a Heteroepitaxial Layer" ("Verfahren zur Herstellung einer Halbleitervorrichtung mit einer heteroepitaxialen Schicht"). Insbesondere offenbart das '769-Patent die Verwendung einer verformten oder unter Spannung stehenden (strained) Kanalzone, um die Trägermobilität innerhalb der MOSFETs zu erhöhen. Diese verformte oder Spannungs-Kanalzone kann dadurch ausgebildet werden, indem man eine Siliziumschicht auf einer ebenfalls gewachsenen entspannten oder nicht verformten SiGe-Schicht wachsen läßt. Das US-Patent Nr. 5.963.817 von Chu et al. mit dem Titel "Bulk and Strained Silicon on Insulator Using Selective Oxidation" ("Blockförmiges und verformtes oder unter Spannung gesetztes Silizium auf einem Isolator unter Ver-

wendung einer selektiven Oxidation") offenbart ebenfalls die Verwendung der SiGe-Schichten, die in hohen Raten relativ zu dem Silizium selektiv oxidieren, um die FBE zu verbessern. Ferner offenbaren die US-Patente Nrn. 5.906.951 und 6.059.895 von Chu et al. Wafer-Bonding-Techniken und verformte oder unter Spannung gesetzte SiGe-Schichten, um die SOI-Substrate vorzusehen. Die Verwendung der Wafer-Bonding-Techniken und der SiGe-Schichten, um die SOI-Substrate zu liefern, sind ebenfalls in den US-Patenten Nrn. 5.218.213 und 5.240.876 von Gaul et al. beschrieben. Herkömmliche Techniken zur Herstellung von SOI-Substraten sind in den Fig. 1A-1D und 2A-2D veranschaulicht. Insbesondere veranschaulicht Fig. 1A die Ausbildung eines Handhabungssubstrats mit einer porösen Siliziumschicht darin und einer Epitaxial-Siliziumschicht darauf, und Fig. 1B veranschaulicht den Bondingvorgang eines abstützenden Substrats an eine Fläche der Epitaxial-Siliziumschicht. Das abstützende Substrat kann darauf eine Oxidschicht enthalten, die direkt an die Epitaxial-Siliziumschicht unter Verwendung herkömmlicher Techniken gebondet ist. Wie in Fig. 1C veranschaulicht ist, wird ein Abschnitt des Handhabungssubstrats dann entfernt, um die poröse Siliziumschicht freizulegen. Dieser Entfernungsschritt kann dadurch ausgeführt werden, indem man einen Abschnitt des Handhabungssubstrats wegschleift oder wegätzt oder indem man die poröse Siliziumschicht aufspaltet. Wie in Fig. 1D veranschaulicht ist, kann dann eine herkömmliche Planierungstechnik durchgeführt werden, um die poröse Siliziumschicht zu entfernen und um ein SOI-Substrat zu liefern, welches eine polierte Siliziumschicht darauf aufweist und in sich eine eingegrabene Oxidschicht besitzt. Die herkömmliche Technik, die in den Fig. 1A-1D veranschaulicht ist, wird allgemein als eine epi-Schichttransfer-(ELTRAN)-Technik bezeichnet. Fig. 2A veranschaulicht einen Schritt zur Herstellung eines Handhabungssubstrats mit einer darauf ausgebildeten Siliziumschicht, indem Wasserstoffionen in eine Fläche des Substrats implantiert werden, um dadurch eine Wasserstoffimplantatschicht darin festzulegen. Dann wird, wie dies in Fig. 2B veranschaulicht ist, ein abstützendes Substrat an die Handhabungsschicht gebondet. Ein Abschnitt des Handhabungssubstrats wird dann dadurch entfernt, indem das gebondete Substrat entlang der Wasserstoffimplantatschicht aufgespalten wird, wie dies in Fig. 2C veranschaulicht ist. Eine herkömmliche Planierungstechnik kann dann durchgeführt werden, um die Wasserstoffimplantatschicht zu entfernen, wie dies in Fig. 2D veranschaulicht ist. Die in den Fig. 2A-2D veranschaulichte herkömmliche Technik wird allgemein als eine "smart-cut"-Technik bezeichnet.

Obwohl die Verwendung von verformten oder unter Spannung gesetzten Siliziumkanalonen die Trägermobilität sowohl in NMOS- als auch PMOS-Vorrichtungen erhöhen kann, verschlechtern unglücklicherweise solche verformten oder unter Spannung gesetzten Zonen in typischer Weise die kurzen Kanalvorrichtungseigenschaften. Es besteht daher trotz der oben beschriebenen Techniken zur Herstellung der MOSFETs und der SOI-Substrate weiterhin Bedarf dafür, die Verfahren zur Herstellung dieser Strukturen zu verbessern, die nicht die Verwendung von verformten oder unter Spannung gesetzten Kanalonen benötigen, um die erhöhte Kanalmobilitätseigenschaften zu erzielen und auch die Strukturen zu erzielen, die dadurch ausgebildet werden.

## Zusammenfassung der Erfindung

Ausführungsformen der vorliegenden Erfindung umfassen Halbleiter-auf-Isolator-(SOI)-Substrate mit darin einge-

grabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten. Ein SOI-Substrat gemäß einer Ausführungsform der vorliegenden Erfindung umfaßt einen Siliziumwafer mit einer darauf ausgebildeten elektrisch isolierenden Schicht und mit einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht mit einer gestaffelten Konzentration oder Gradientenkonzentration von Ge darin, welches sich auf die elektrisch isolierende Schicht erstreckt. Eine nicht unter Spannung stehende (unstrained) Siliziumaktivschicht ist ebenfalls in dem SOI-Substrat vorgesehen. Diese spannungsfreie (unstrained) Siliziumaktivschicht erstreckt sich auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und bildet damit einen Übergang. Die spannungsfreie Siliziumaktivschicht erstreckt sich auch in bevorzugter Weise zu einer Fläche des SOI-Substrats hin, so daß integrierte Schaltungsvorrichtungen auf der Oberfläche der Siliziumaktivschicht ausgebildet werden können. Um die Verwendung der relativ dünnen Siliziumaktivschichten zu vereinfachen, wird die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht in bevorzugter Weise aus der spannungsfreien Siliziumaktivschicht epitaxial gezüchtet. Der epitaxial-Wachstumsschritt kann das Vorsehen einer spannungsfreien Siliziumaktivschicht (oder das anfängliche epitaxiale Wachsenlassen einer spannungslosen Siliziumaktivschicht auf einem Substrat) umfassen und dann ein Fortsetzen des Wachstums einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auf der Aktivschicht umfassen, indem die Konzentration von Ge in einer gestaffelten bzw. in einer gradientenförmigen Weise erhöht wird, bis eine gewünschte maximale Ge-Konzentration erhalten wird. Ein weiteres Wachstum kann dann dadurch auftreten, indem die Konzentration von Ge in einer gestaffelten bzw. gradientenförmigen Weise zurück auf  $x = 0$  reduziert wird. Die Staffelung von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann eine lineare Staffelung bzw. Zunahme sein.

Die bevorzugten SOI-Substrate können dadurch hergestellt werden, indem man zu Beginn ein Handhabungssubstrat mit einer darin ausgebildeten spannungslosen Siliziumschicht herstellt und eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht ausbildet, die sich auf der Siliziumschicht erstreckt. Ein abstützendes Substrat wird dann an das Handhabungssubstrat gebondet, so daß die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht zwischen dem abstützenden Substrat und der spannungslosen Siliziumschicht angeordnet ist. Ein Abschnitt des Handhabungssubstrats wird dann in bevorzugter Weise von dem abstützenden Substrat entfernt, um eine Oberfläche der Siliziumschicht freizulegen und um ein Halbleiter-auf-Isolator-Substrat festzulegen mit einer eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht darin. Hier besitzt die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht in bevorzugter Weise eine gestaffelte bzw. gradientenförmige Konzentration von Ge darin mit einem Profil, welches in einer Richtung abnimmt, die sich von dem abstützenden Substrat zu der Oberfläche der Siliziumschicht hin erstreckt.

Diese Verfahren können auch die Ausbildung eines Handhabungssubstrats mit einer darin ausgebildeten spannungsfreien ersten Siliziumschicht umfassen, mit einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht, die sich auf der ersten Siliziumschicht erstreckt und mit einer spannungsfreien oder unter Spannung gesetzten bzw. verformten zweiten Siliziumschicht, die sich auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht erstreckt. Dem Verbindungsschritt kann auch ein Schritt gemäß einer thermischen Oxidation der zweiten Siliziumschicht vorangehen, um eine thermische Oxidschicht auf dem  $\text{Si}_{1-x}\text{Ge}_x$  festzulegen. Das abstützende Substrat kann eine Oxidoberflächenschicht darauf aufweisen und der Verbindungsschritt kann das Bonden der Oxidoberflächenschicht an die thermische Oxidschicht umfassen. Alternativ kann dem Verbindungsschritt ein Schritt gemäß einem Niederschlagen einer elektrisch isolierenden Schicht auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht vorangehen und der Verbindungsschritt kann das Bonden der Oxidoberflächenschicht an die elektrisch isolierende Schicht umfassen.

Gemäß einem noch anderen bevorzugten Verfahren zur

Herstellung eines SOI-Substrats kann das Handhabungssubstrat eine poröse Siliziumschicht darin aufweisen und der Entfernungsschritt kann das Entfernen eines Abschnitts des Handhabungssubstrats von dem abstützenden Substrat umfassen, indem die poröse Siliziumschicht gespalten wird und dann die poröse Siliziumschicht und die Siliziumschicht in Aufeinanderfolge planiert werden. Bevorzugte Verfahren zur Herstellung von Handhabungssubstraten können auch folgendes umfassen: epitaxiales Wachsenlassen einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auf einer Siliziumschicht und dann Implantieren von Wasserstoffionen durch die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und die Siliziumschicht hindurch, um eine Wasserstoffimplantatschicht in dem Handhabungssubstrat festzulegen. Der Entfernungsschritt kann dann dadurch ausgeführt werden, indem die Wasserstoffimplantatschicht aufgespalten wird und dann die Wasserstoffimplantatschicht planiert wird, um eine Oberfläche der Siliziumschicht freizulegen. Halbleitervorrichtungen, die Feldeffekttransistoren enthalten, können dann an dieser Oberfläche der Siliziumschicht ausgebildet werden.

Eine weitere Ausführungsform der vorliegenden Erfindung enthält Halbleiter-auf-Isolator-Feldeffekttransistoren. Derartige Transistoren können eine elektrisch isolierende Schicht aufweisen und eine entspannte Siliziumaktivschicht auf der elektrisch isolierenden Schicht. Eine isolierte Gateelektrode wird ebenfalls auf einer Oberfläche der entspannten Siliziumaktivschicht vorgesehen. Ferner wird auch eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht zwischen der elektrisch isolierenden Schicht und der entspannten (unstrained) Siliziumaktivschicht angeordnet. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht bildet einen ersten Übergang mit der entspannten Siliziumaktivschicht und besitzt eine gestaffelte bzw. gradientenförmige Konzentration von Ge darin, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zu der Oberfläche der entspannten Siliziumaktivschicht erstreckt. Gemäß einem Aspekt dieser Ausführungsform ist der Spitzen-Ge-Konzentrationswert größer als  $x = 0,15$  und die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht variiert von dem Spitzenwert aus hin zu einem Wert, der kleiner ist als etwa  $x = 0,1$  an dem ersten Übergang. Die Konzentration von Ge an dem ersten Übergang kann abrupt verlaufen. In noch bevorzugter Weise variiert die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht von dem Spitzenwert aus, bei dem gilt  $0,2 < x < 0,4$  zu einem Wert hin, bei dem  $x = 0$  an dem ersten Übergang ist.

Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann auch eine Zwischenschicht mit der darunter liegenden elektrisch isolierenden Schicht festlegen und die gestaffelte bzw. gradientenförmige Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann von einem Wert aus kleiner als etwa  $x = 0,1$  an der Zwischenschicht mit der elektrisch isolierenden Schicht zu dem Spitzenwert hin zunehmen. Die entspannte oder spannungsfreie Siliziumaktivschicht kann auch eine Dicke von größer als ca. 600 Å haben und die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann eine Dicke von weniger als etwa 800 Å haben.

Eine höhere Treiberstromfähigkeit in PMOS-Transistoren kann auch dadurch erzielt werden, indem man die Dotierungsprofile in der Kanalzone in dem Hauptabschnitt oder Körperzone reorganisiert. Speziell kann die unterschiedliche Löslichkeit von bestimmten Dotierungsstoffen in Si und  $\text{Si}_{1-x}\text{Ge}_x$  vorteilhaft dazu verwendet werden, um die Eigenschaften der PMOS-Vorrichtung zu verbessern. Bei einem bevorzugten PMOS-Transistor ist die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht mit einem N-leitenden Dotierungsstoff dotiert und die Konzentration des N-leitenden Dotierungsstoffes in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht besitzt ein Profil, welches in der ersten Richtung zu der Oberfläche der entspannten oder spannungsfreien Siliziumaktivschicht hin abnimmt. Dieses Profil besitzt in bevor-

zugter Weise einen Spitzenwert innerhalb der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und kann in der ersten Richtung in einer monotonen Weise abnehmen, so daß sich ein kontinuierliches, retro-gestaffeltes bzw. rückläufiges N-leitendes Dotierungsprofil über die spannungsfreie oder entspannte Siliziumaktivschicht hinweg erstreckt. Dieser N-leitende Dotierungsstoff wird in bevorzugter Weise dazu verwendet, um eine Durchschlagsspannung in der Körperzone zu unterdrücken, kann jedoch auch dazu verwendet werden, um die Schwellenwertspannung des PMOS-Transistors zu beeinflussen.

Zusätzlich können Halbleiter-auf-Isolator-Feldeffekttransistoren auch eine elektrisch isolierende Schicht aufweisen und eine zusammengesetzte Halbleiteraktivzone auf der elektrisch isolierenden Schicht. Diese zusammengesetzte Halbleiteraktivzone umfaßt eine Siliziumaktivschicht mit einer Dicke größer als etwa 600 Å und mit einer einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht, die zwischen der elektrisch isolierenden Schicht und der Siliziumaktivschicht angeordnet ist. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht bildet einen ersten Übergang mit der Siliziumaktivschicht und besitzt eine gestaffelte Konzentration von Ge darin, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zu einer Oberfläche der Siliziumaktivschicht hin erstreckt. Die isolierte Gateelektrode ist ebenfalls auf der Oberfläche vorgesehen. Der Spitzenwert von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht ist in bevorzugter Weise größer als  $x = 0,15$  und die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht variiert von dem Spitzenwert aus zu einem Wert hin, der kleiner ist als etwa  $x = 0,1$  an dem ersten Übergang. Noch bevorzugter variiert die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht von dem Spitzenwert aus, bei dem  $0,2 < x < 0,4$  ist, zu einem Wert hin, bei dem  $x = 0$  an dem ersten Übergang ist. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann auch eine Zwischenschicht mit der elektrisch isolierenden Schicht festlegen und die gestaffelte Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht nimmt auch von einem Wert aus zu, der kleiner ist als etwa  $x = 0,1$ , und zwar an der Zwischenschicht zu dem Spitzenwert hin.

Eine weitere Ausführungsform der vorliegenden Erfindung umfaßt einem PMOS-Feldeffekttransistor mit einer zusammengesetzten Halbleiteraktivzone darin, die sich auf einer elektrisch isolierenden Schicht erstreckt. Die zusammengesetzte Halbleiteraktivzone umfaßt eine einzelne  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht mit einer gestaffelten Konzentration von Ge darin, die monoton in einer Richtung abnimmt, welche sich von einem Spitzenwert innerhalb der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht aus zu einer Oberfläche derselben hin erstreckt. Eine entspannte oder spannungsfreie Siliziumaktivschicht ist ebenfalls vorgesehen, die sich von einem ersten Übergang mit der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht aus zu der Oberfläche hin erstreckt. Die zusammengesetzte Halbleiteraktivzone besitzt auch ein wenigstens im wesentlichen retro-gestaffeltes bzw. rückläufiges, N-leitendes Dotierungsprofil darin, welches sich zur Oberfläche hin erstreckt und einen Spitzenwert in der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht hat. Die gesamte Ladung, die durch diesen N-leitenden Dotierungsstoff erzeugt wird, beeinflußt die Schwellenwertspannung des PMOS-Transistors. Der N-leitende Dotierungsstoff in der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht verhindert auch in signifikanter Weise eine Durchschlagsspannung (punch-through), die durch die Verarmungsschichten bewirkt wird, die sich zwischen der Source- und der Drainzone erstrecken können. Leicht dotierte P-leitende Source- und Drainzonen sind ebenfalls in bevorzugter Weise vorgesehen. Diese Zonen erstrecken sich in der Siliziumaktivschicht und gegenüber der isolierten Gateelektrode. Eine source-seitige Taschenimplantationszone mit einem N-Leitfähigkeitstyp ist ebenfalls vorgesehen und diese Taschenimplantationszone erstreckt sich zwischen der leicht dotierten P-leitenden Sourcezone und der einzelnen

$\text{Si}_{1-x}\text{Ge}_x$ -Schicht. Diese Taschenimplantationszone bildet jeweils gleichrichtende und nichtgleichrichtende Übergänge mit der Sourcezone und der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und arbeitet dergestalt, um die Übergangsleckage zu unterdrücken.

Eine noch weitere Ausführungsform eines Halbleiter-auf-Isolator-Feldeffekttransistors umfaßt eine Hauptkörpersiliziumzone (bulk silicon region) und eine elektrisch isolierende Schicht auf der Hauptkörpersiliziumzone. Eine entspannte oder spannungsfreie Siliziumaktivschicht mit einer ersten Dicke ist ebenfalls auf der elektrisch isolierenden Schicht vorgesehen und eine isolierte Gateelektrode mit Seitenwand-isolierenden Abstandshaltern ist auf einer Oberfläche der entspannten oder spannungsfreien Siliziumaktivschicht ausgebildet. Eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht des ersten Leitfähigkeitstyps ist zwischen der elektrisch isolierenden Schicht und der entspannten Siliziumaktivschicht angeordnet. Insbesondere bildet die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht einen ersten Übergang mit der entspannten Siliziumaktivschicht und besitzt eine gestaffelte bzw. gradientenförmige Konzentration von Ge darin, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zu der Oberfläche hin erstreckt. Leicht dotierte Source- und Drainzonen des zweiten Leitfähigkeitstyps sind ebenfalls vorgesehen. Diese leicht dotierten Zonen erstrecken sich in der entspannten oder spannungsfreien Siliziumaktivschicht, jedoch bis zu einer Tiefe, die kleiner ist als die Dicke der entspannten oder spannungsfreien Siliziumaktivschicht. Zusätzlich ist eine source-seitige Taschenimplantationszone des ersten Leitfähigkeitstyps in der entspannten oder spannungsfreien Siliziumaktivschicht vorgesehen und diese source-seitige Taschenimplantationszone erstreckt sich zwischen der leicht dotierten Sourcezone und der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht. Gemäß einem bevorzugten Aspekt dieser Ausführungsform besitzt die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht ein retro-gestaffeltes bzw. rückläufiges Dotierungsprofil eines ersten Leitfähigkeitstyps darin relativ zur Oberfläche. Dieses retro-gestaffelte Dotierungsprofil des ersten Leitfähigkeitstyps kann ein retro-gestaffeltes Arsen-(oder Arsen/Phosphor-)Dotierungsprofil sein und kann zu der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht führen, die eine größere Konzentration des Dotierungsstoffes mit dem ersten Leitfähigkeitstyp darin aufweist, relativ zu der maximalen Konzentration des Dotierungsstoffes des ersten Leitfähigkeitstyps in einer Kanalzone innerhalb der entspannten oder spannungsfreien Siliziumaktivschicht. Insbesondere besitzt das retro-gestaffelte bzw. gradientenförmige Dotierungsprofil eine Spitze in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und ein Minimum unterhalb der Gateelektrode. Dieses retro-gestaffelte bzw. rückläufige Profil nimmt in bevorzugter Weise monoton von dem Spitzenwert aus zu dem minimalen Wert hin ab, es können jedoch andere retro-gestaffelte Profile ebenso erzielt werden. Die Dicke der entspannten oder spannungsfreien Siliziumaktivschicht und die gesamte Menge der Dotierungsstoffe in der Kanalzone und unterhalb der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht können ebenfalls sorgfältig gesteuert werden, um eine gewünschte Schwellenwertspannung zu erzielen und um eine Durchschlagsspannung zu verhindern.

Ausführungsformen der vorliegenden Erfindung umfassen auch Verfahren zur Herstellung von Feldeffekttransistoren, indem eine isolierte Gateelektrode auf einer Oberfläche eines Halbleiter-auf-Isolator-Substrats ausgebildet wird. Dieses Substrat enthält eine elektrisch isolierende Schicht, eine entspannte Siliziumaktivschicht auf der elektrisch isolierenden Schicht und eine  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht mit einer gestaffelten bzw. gradientenförmigen Konzentration von Ge darin, die zwischen der elektrisch isolierenden Schicht und der entspannten Siliziumaktivschicht angeordnet ist. Es werden auch Schritte ausgeführt, um die Source- und Drain-

zonen des ersten Leitfähigkeitstyps in der entspannten Siliziumaktivschicht auszubilden und um auch die source-seitigen und drain-seitigen Taschenimplantationszonen des zweiten Leitfähigkeitstyps auszubilden, die sich in die entspannte Siliziumaktivschicht und in die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht erstrecken. Diese Taschenimplantationszonen bilden jeweils P-N-Übergänge mit den Source- und Drainzonen. Dem Schritt der Ausbildung einer isolierten Gateelektrode geht in bevorzugter Weise der Schritt gemäß dem Implantieren von Schwellenwertspannungssteuerdotierungsstoffen des ersten Leitfähigkeitstyps in die entspannte Siliziumaktivschicht voraus. Diese die Schwellenwertspannung steuernden Dotierungsstoffe können dann einer Wärmebehandlung (annealed) unterzogen werden und können als ein Ergebnis der unterschiedlichen Dotierungstofflöslichkeit in Si und  $\text{Si}_{1-x}\text{Ge}_x$  wieder verteilt werden, und zwar nachdem die isolierte Gateelektrode ausgebildet worden ist, um ein retro-gestaffeltes Profil der die Schwellenwertspannung steuernden Dotierungsstoffe in der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht und der Siliziumaktivschicht zu erstellen.

Die Dotierungsstoffe in der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht verhindern auch eine Durchbruchsspannung in den PMOS-Vorrichtungen und reduzieren schwimmende oder schwebende Hauptabschnitteffekte in den NMOS-Vorrichtungen.

Die Substrate und die Herstellungsverfahren der vorliegenden Erfindung können dazu verwendet werden, um NMOS-Transistoren herzustellen, die reduzierte Schwimm- oder Schwebhauptabschnitteffekte (FBE) aufweisen. Die Reduzierung hinsichtlich der FBE tritt deshalb auf, die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht eine in sich gestaffelte Ge-Konzentration aufweist, die Potentialbarriere für Löcher reduziert, die von der Körperzone zur Sourcezone hin verlaufen. Es können daher Löcher, die in der Körperzone erzeugt wurden, durch Aufschlagionisation unmittelbar in die Sourcezone über den Pfad von p-Si(body)/p-SiGe(body)/n+Si-Ge(source)/n+Si (source) fließen. Auch können NMOS-Transistoren hergestellt werden, die gut gesteuerte Knickeffekteigenschaften und Id geg. Vg Kurven mit gleichmäßig verteilter Subschwellenwertneigung oder -steigung in Bezug auf Vds besitzen. Die Substrate und die Herstellungsverfahren der vorliegenden Erfindung können auch dazu verwendet werden, um PMOS-Transistoren vorzusehen, die ausgezeichnete Treibereigenschaften besitzen, die aus der höheren Inversionsschicht-Trägermobilität in den Kanalzonen resultieren. Diese verbesserte Treiberfähigkeit wird dadurch erzielt, indem die Kanalzonendotierungsstoffe durch Wärmebehandlung (annealing) reorganisiert werden, so daß ein retro-gestaffeltes bzw. rückläufiges Dotierungsstoffprofil und eine gewünschte Schwellenwertspannung gleichzeitig erreicht werden. Diese Reorganisation der Kanalzonendotierungsstoffe kann auch dazu verwendet werden, um den Taschenionenimplantationswirkungsgrad zu erhöhen. Die Schwellenwertspannungsdämpfungseigenschaften (roll-off characteristics) dieser NMOS- und PMOS-Vorrichtungen können auch reduzierte kurze Kanaleffekte (RSCE) demonstrieren und es kann die unterdrückte parasitäre Bipolaraktion (PBA) in den Vorrichtungen dazu verwendet werden, um den indirekten Leckstrom (off-leakage current) zu reduzieren.

#### Kurze Beschreibung der Zeichnungen

Die oben angegebenen Ziele und Vorteile der vorliegenden Erfindung ergeben sich klarer aus der folgenden detaillierten Beschreibung einer bevorzugten Ausführungsform unter Hinweis auf die beigefügten Zeichnungen, in denen:

**Fig. 1A–1D** Querschnittsansichten von Zwischenstrukturen sind, welche die herkömmlichen Verfahren zur Herstel-

lung von Halbleiter-auf-Isolator-(SOI)-Substraten veranschaulichen;

**Fig. 2A–2D** Querschnittsansichten von Zwischenstrukturen sind, welche die herkömmlichen Verfahren zur Herstellung von SOI-Substraten veranschaulichen;

**Fig. 3A–3E** Querschnittsansichten von Zwischenstrukturen sind, welche Verfahren zur Herstellung von SOI-Substraten veranschaulichen, die SiGe-Schichten gemäß einer Ausführungsform der vorliegenden Erfindung aufweisen;

**Fig. 4A–4E** Querschnittsansichten von Zwischenstrukturen sind, die Verfahren zur Herstellung von SOI-Substraten veranschaulichen, die SiGe-Schichten gemäß einer Ausführungsform der vorliegenden Erfindung aufweisen;

**Fig. 5** ein Flußdiagramm von Verarbeitungsschritten ist, welches die bevorzugten Verfahren zur Herstellung von SOI-gestützten Feldeffekttransistoren gemäß einer Ausführungsform der vorliegenden Erfindung veranschaulichen;

**Fig. 6A–6E** Querschnittsansichten von Zwischenstrukturen sind, die Verfahren zur Herstellung von SOI-gestützten MOS-Transistoren gemäß einer Ausführungsform der vorliegenden Erfindung veranschaulichen;

**Fig. 7A** ein Graph einer N-leitenden Dotierungsstoffkonzentration gegenüber der Substrattiefe für ein herkömmliches SOI-Substrat vor der Wärmebehandlung (anneal) ist. Die veranschaulichten Phosphor- und Arsendotierungsstoffe wurden mit Energien von 30 KeV bzw. 200 KeV implantiert;

**Fig. 7B** ein Graph der N-leitenden Dotierungsstoffkonzentration gegenüber der Substrattiefe ist, und zwar für ein herkömmliches SOI-Substrat nach der Wärmebehandlung (anneal) ist. Die vor der Wärmebehandlung vorhandenen Dotierungsstoffprofile sind in **Fig. 7A** veranschaulicht;

**Fig. 7C** ein Graph der N-leitenden Dotierungsstoffkonzentration gegenüber der Substrattiefe ist, und zwar für ein bevorzugtes SOI-Substrat, welches eine darin eingefügte SiGe-Schicht aufweist. Die veranschaulichten Phosphor- und Arsendotierungsstoffe wurden mit Energien von 30 KeV bzw. 200 KeV implantiert;

**Fig. 7D** ein Graph der N-leitenden Dotierungsstoffkonzentration gegenüber der Substrattiefe ist, und zwar für ein bevorzugtes SOI-Substrat, welches eine darin eingefügte SiGe-Schicht aufweist, nach der Wärmebehandlung. Die vor der Wärmebehandlung vorhandenen Dotierungsstoffprofile sind in **Fig. 7C** veranschaulicht.

#### Beschreibung der bevorzugten Ausführungsformen

Die vorliegende Erfindung wird nun vollständiger im folgenden unter Hinweis auf die beigefügten Zeichnungen beschrieben, in denen die bevorzugten Ausführungsformen der Erfindung gezeigt sind. Die Erfindung kann jedoch in unterschiedlichen Formen realisiert werden und sie ist nicht so strukturiert, daß sie auf die hier im folgenden dargestellten Ausführungsformen beschränkt ist. Vielmehr sind diese Ausführungsformen so ausgewählt, daß die Offenbarung sorgfältig und vollständig ist und der Rahmen der Erfindung für Fachleute voll verständlich ist. In den Zeichnungen ist die Dicke der Schichten und der Zonen der Übersichtlichkeit halber übertrieben dargestellt. Es sei auch darauf hingewiesen, daß dann, wenn eine Schicht als "auf" einer anderen Schicht oder Substrat angegeben wird, sie auch direkt auf der anderen Schicht oder Substrat vorhanden sein kann oder auch dazwischenliegende Schichten vorhanden sein können. Darüber hinaus bezeichnen die Ausdrücke "erster Leitfähigkeitstyp" und "zweiter Leitfähigkeitstyp" entgegengesetzte Leitfähigkeitstypen, wie beispielsweise N- oder P-Typen, wobei jedoch jede hier beschriebene und veranschaulichte Ausführungsform auch ihre komplementäre Ausführungs-

form ebenso einnehmen kann. Gleiche Bezugswerte weisen auf gleiche Elemente in der gesamten Beschreibung.

Um nun auf die Fig. 3A–3E einzugehen, so werden anhand dieser Figuren bevorzugte Verfahren zur Herstellung von Halbleiter-auf-Isolator-(SOI)-Substraten mit  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten im folgenden beschrieben. Wie in Fig. 3A veranschaulicht ist, umfaßt ein veranschaulichtes Verfahren die Ausbildung eines Handhabungssubstrats 10 mit einer porösen Siliziumschicht 12 darin und mit einer ersten Epitaxial-Siliziumschicht 14 (Si-epi), die sich auf der porösen Siliziumschicht 12 erstreckt. Diese erste Epitaxial-Siliziumschicht 14 kann eine Dicke haben größer als etwa 600 Å. Wie in Fig. 3B veranschaulicht ist, wird dann eine  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16 auf der ersten Epitaxial-Siliziumschicht 14 ausgebildet. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16 kann eine Dicke von weniger als etwa 800 Å haben und kann unter Verwendung einer chemischen Niederdruckdampfniederschlagstechnik (LPCVD) ausgebildet werden, die bei einer Temperatur in einem Bereich zwischen etwa 700°C und 1300°C ausgeführt wird. Dieser Niederschlagsschritt kann dadurch ausgeführt werden, indem eine Oberfläche der ersten epitaxialen Siliziumschicht 14 einem Niederschlagsgas ausgesetzt wird, welches eine Mischung aus  $\text{GeH}_4$ - und  $\text{SiH}_2\text{Cl}_2$ -Quellgasen aufweist. Insbesondere wird der Niederschlagsschritt in bevorzugter Weise dadurch ausgeführt, indem die relative Konzentration des Germaniumquellgases (z. B.  $\text{GeH}_4$ ) an Ort und Stelle variiert wird. Beispielsweise wird die Strömungsrate des Germaniumquellgases in bevorzugter Weise derart variiert, daß die Konzentration von Ge innerhalb in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16 von einem Wert von  $x = 0,0$  an dem Übergang mit der darunter liegenden ersten epitaxialen Siliziumschicht 14 zu einem maximalen Wert von  $0,2 \leq x \leq 0,4$  darin erhöht wird. Nachdem der maximale Konzentrationswert erreicht worden ist, kann die Strömungsrate des Germaniumquellgases allmählich reduziert werden, bis die Konzentration von Ge in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16 auf Null reduziert ist.

Um weiterhin auf Fig. 3B einzugehen, so kann eine zweite epitaxiale Siliziumschicht 18 auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16 dadurch ausgebildet werden, indem der Niederschlagsschritt unter Verwendung eines Quellgases von  $\text{SiH}_2\text{Cl}_2$  bei einer Temperatur von etwa 850°C fortgesetzt wird. Dieser Schritt der Ausbildung einer zweiten Epitaxial-Siliziumschicht 18 ist optional.

Gemäß Fig. 3C wird dann ein abstützendes Substrat 20 in bevorzugter Weise an die zweite Epitaxial-Siliziumschicht 18 gebondet. Wie dargestellt ist, wird der Verbindungsschritt in bevorzugter Weise zwischen einer Oxidschicht 22, die auf dem abstützenden Substrat 20 vorhanden ist, und einer polierten Oberfläche der zweiten Epitaxial-Siliziumschicht 18 durchgeführt. Die Oxidschicht 22 kann eine Dicke in einem Bereich zwischen etwa 800–3000 Å haben. Dann wird, wie dies in Fig. 3D veranschaulicht ist, das Handhabungssubstrat 10 von dem zusammengesetzten Substrat dadurch entfernt, indem das zusammengesetzte Substrat entlang der porösen Siliziumschicht 12 aufgespalten wird. Es können herkömmliche Techniken dafür verwendet werden, um verbliebene Abschnitte der porösen Siliziumschicht 12 von dem zusammengesetzten Substrat zu entfernen. Wie in Fig. 3E veranschaulicht ist, kann dieser Entfernungsschritt das Entfernen der porösen Siliziumschicht 12 umfassen unter Verwendung einer Planier- oder Poliertechnik, durch die eine primäre Oberfläche 14a der ersten Epitaxial-Siliziumschicht 14 freigelegt wird. Wie noch mehr in Einzelheiten weiter unten beschrieben wird, können aktive Vorrichtungen (z. B. CMOS-Vorrichtungen), die bevorzugte elektrische Eigenschaften besitzen, in der ersten "spannungsfreien" Epitaxial-Siliziumschicht 14 ausgebildet wer-

den.

Die Fig. 4A–4E veranschaulichen alternative Verfahren zur Herstellung von Halbleiter-auf-Isolator-(SOI)-Substraten mit darin vorgesehenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten. Wie in Fig. 4A veranschaulicht ist, enthält ein dargestelltes Verfahren die Ausbildung eines Handhabungssubstrats 10' mit einer darauf vorgesehenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16' und mit einer zweiten Epitaxial-Siliziumschicht 18' auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16'. Die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16' kann so hergestellt werden, wie dies oben unter Hinweis auf Fig. 3B beschrieben wurde. Es wird dann ein Abdeckimplantationsschritt (blanket implantation step) durchgeführt, wie dies in Fig. 4B veranschaulicht ist. Dieser Implantationsschritt kann das Implantieren von Wasserstoffionen durch die zweite Epitaxial-Siliziumschicht 18' hindurch in das Handhabungssubstrat 10' enthalten, um eine Wasserstoffimplantationsschicht 15 festzulegen. Die Wasserstoffionen werden in bevorzugter Weise auf einem ausreichenden Energiewert implantiert, um eine erste Siliziumschicht 14' zwischen der Wasserstoffimplantationsschicht 15 und der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 16' festzulegen. Beispielsweise können die Wasserstoffionen auf einem Dosierungswert von  $1 \times 10^{16}$ – $1 \times 10^{17} \text{ cm}^{-2}$  und auf einem Energiewert von etwa 150–400 KeV implantiert werden. Um nun auf Fig. 4C einzugehen, so wird dann ein abstützendes Substrat 20 in bevorzugter Weise an die zweite Epitaxial-Siliziumschicht 18' gebondet. Wie veranschaulicht ist, wird dieser Verbindungsschritt in bevorzugter Weise zwischen einer Oxidschicht 22, die auf dem abstützenden Substrat 20 vorhanden ist, und einer polierten Oberfläche der zweiten Epitaxial-Siliziumschicht 18' durchgeführt. Dann wird, wie dies in Fig. 4D veranschaulicht ist, das Handhabungssubstrat 10' von dem zusammengesetzten Substrat dadurch entfernt, indem das zusammengesetzte Substrat entlang der Wasserstoffimplantationsschicht 15 aufgespalten wird. Es können herkömmliche Techniken dafür verwendet werden, um verbliebene Abschnitte der Wasserstoffimplantationsschicht 15 von dem zusammengesetzten Substrat zu entfernen.

Wie in Fig. 4E veranschaulicht ist, kann dieser Entfernungsschritt das Entfernen der Wasserstoffimplantationsschicht 15 umfassen unter Verwendung einer Planier- oder Poliertechnik, durch die eine primäre Oberfläche der ersten Siliziumschicht 14' freigelegt wird. Gemäß noch weiteren Ausführungsformen der vorliegenden Erfindung können die zweite Epitaxial-Siliziumschicht 18 von Fig. 3C und die zweite Epitaxial-Siliziumschicht 18' von Fig. 4C thermisch oxidiert werden, bevor der Verbindungsschritt ausgeführt wird. Alternativ kann vor dem Verbindungsschritt eine elektrisch isolierende Schicht auf den zweiten Epitaxial-Siliziumschichten 18 und 18' niedergeschlagen werden oder auch auf den  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten 16 und 16' für den Fall, daß die zweiten Epitaxial-Siliziumschichten 18 und 18' nicht vorhanden sind. Die Dicke der  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten 16 und 16' kann für den Fall auch vergrößert werden, daß diese Schichten teilweise thermisch oxidiert sind, und zwar in Vorbereitung auf den Verbindungsschritt. Die Dicken der zweiten Epitaxial-Siliziumschichten 18 und 18' können auf Werte in einem Bereich zwischen etwa 200–400 Å eingestellt werden.

Alternativ können die  $\text{Si}_{1-x}\text{Ge}_x$ -Schichten 16 und 16' als Schichten mit einer gestaffelten Konzentration von Ge darin ausgebildet werden, die einen maximalen Wert von etwa 30% erreicht. Diese Schichten können bei einer Temperatur in einem Bereich zwischen 700°C–800°C und bei einem Druck von etwa 20 Torr ausgebildet werden. Die Quellgase können  $\text{GeH}_4$ , (0–60 sccm), DCS ( $\text{SiH}_2\text{Cl}_2$ ) bei 200 sccm und HCl bei 50–100 sccm enthalten.

Um nun auf Fig. 5 einzugehen, so werden bevorzugte



Verfahren **100** zur Herstellung von Feldeffekttransistoren (z. B. MOSFETs) in SOI-Substraten beschrieben. Wie oben in Verbindung mit den Fig. 3A–3E und 4A–4E beschrieben wurde, umfassen diese Verfahren das Ausbilden eines SOI-Substrats mit einer spannungsfreien (unstrained) Siliziumaktivschicht und einer darin eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht, den Block **102**. Die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht wird in bevorzugter Weise epitaxial von der spannungsfreien Siliziumaktivschicht wachsen gelassen, während die Konzentration von Ge darin von einem Wert aus erhöht wird, bei dem zu Beginn  $x = 0$  beträgt, bis zu einem Spitzenwert, bei dem gilt  $0,2 \leq x \leq 0,4$ . Somit besitzt die Konzentration von Ge in der eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht ein Profil, welches in bevorzugter Weise in einer Richtung abnimmt oder abfällt, die sich von einem Spitzenwert aus erstreckt, hin zu einer primären Oberfläche der spannungsfreien Siliziumaktivschicht (das heißt der oberen Oberfläche des SOI-Substrats). Es werden dann Dotierungsstoffe zum Einstellen der Schwellenwertspannung in das Substrat, den Block **104**, implantiert. Diese "Schwellenwertspannungs"-Dotierungsstoffe, die in NMOS- und PMOS-Transistoren verwendet werden, können getrennt in das Substrat implantiert werden, und zwar unter Verwendung von jeweils NMOS- und PMOS-Implantationsmasken. Für NMOS-Transistoren umfassen die Schwellenwertspannungsdotierungsstoffe in typischer Weise P-leitende Dotierungsstoffe, wie beispielsweise Bor (B) und Indium (In). Jedoch umfassen für PMOS-Transistoren die Schwellenwertspannungsdotierungsstoffe in typischer Weise N-leitende Dotierungsstoffe wie beispielsweise Arsen (As) und Phosphor (P).

Die Schritte gemäß der Implantation von Schwellenwertspannungsdotierungsstoffen können das Implantieren von vielfältigen unterschiedlichen Dotierungsstoffen des gleichen Leitfähigkeitstyps umfassen. Beispielsweise können bei PMOS-Vorrichtungen sowohl As- als auch P-Dotierungsstoffe als Schwellenwertspannungsdotierungsstoffe implantiert werden, und zwar bei jeweiligen Energiewerten und Dosiswerten. Diese vielfältigen Dotierungsstoffe können unterschiedliche Dotierungslösbarkeiten innerhalb des Siliziums und Silizium-Germaniums haben und diese unterschiedlichen Lösbarkeiten können in vorteilhafter Weise dazu verwendet werden, um eine bevorzugte Wiederverteilung der Schwellenwertspannungsdotierungsstoffe zu erreichen, wenn nachfolgende thermische Wärmebehandlungsschritte bzw. Temperungsschritte ausgeführt werden. Diese bevorzugte Wiederverteilung kann zu einem retro-gestaffelten Profil der Schwellenwertspannungsdotierungsstoffe führen. Insbesondere kann die bevorzugte Wiederverteilung der Dotierungsstoffe die Inversionsschichtkanaleigenschaften der resultierenden Transistoren verbessern, indem sie eine Reduzierung in der Kanalmobilität verhindern, die typischerweise dann auftritt, wenn die Schwellenwertspannungsdotierungsstoffe in die Kanalzonen der Transistoren eingeführt werden. Dies ist speziell für PMOS-Vorrichtungen vorteilhaft, die in typischer Weise an einer relativ niedrigen Lochmobilität in dem Inversionsschichtkanal leiden. Die Dicke der Siliziumaktivschicht und der darunter liegenden  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht kann ebenso derart ausgelegt werden, um den Grad der bevorzugten Wiederverteilung der Schwellenwertspannungsdotierungsstoffe zu erhöhen, während gleichzeitig sichergestellt wird, daß die gesamte Dotierungsmittelladung die resultierende Schwellenwertspannung beeinflusst. Die Dotierungsstoffe, die zur Beeinflussung der Schwellenwertspannung in PMOS-Vorrichtungen verwendet werden, können auch in vorteilhafter Weise dazu verwendet werden, um die Durchbruchsspannung (punch-through) zu verhindern.

Um nun auf den Block **106** einzugehen, so kann eine iso-

lierte Gateelektrode dann auf dem Substrat unter Anwendung herkömmlicher Techniken ausgebildet werden. Wie durch den Block **108** veranschaulicht ist, wird dann diese isolierte Gateelektrode als eine Maske während der Implantation der leicht dotierenden Source-(LDS)- und leicht dotierenden Drain-(LDD)-Dotierungsstoffe in die entspannte oder spannungsfreie Siliziumaktivschicht hinein verwendet. Die Taschenimplantationszonen können dann durch Implantieren von Taschenzonendotierungsstoffen in die spannungsfreie Siliziumaktivschicht und die darunter liegende  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht bei dem Block **110** ausgebildet werden. Diese Taschenzonendotierungsstoffe werden in bevorzugter Weise bei einem ausreichenden Dotierungswert und Energiewert implantiert, um zu der Ausbildung der Taschenimplantationszonen zu führen, die sich zwischen den LDS- und LDD-Zonen und der darunter liegenden  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht erstrecken. Wie durch den Block **112** veranschaulicht ist, können herkömmliche Techniken dazu verwendet werden, um elektrisch isolierende Abstandhalter an den Seitenwänden der Gateelektrode festzulegen. Es können dann hochdotierende Source- und Drainzonendotierungsstoffe in und durch die LDS- und LDD-Zonen implantiert werden, und zwar unter Verwendung der Gateelektrode und der Seitenwandisolierabstandhalter als Implantationsmaske gemäß dem Block **114**. Wie durch den Block **116** veranschaulicht ist, kann dann ein schneller oder plötzlicher thermischer Wärmebehandlungsschritt (RTA) durchgeführt werden, um die Source- und Drainzonendotierungsstoffe einzutreiben. Während dieses Anlaßschrittes oder Temperungsschrittes können früher implantierte Dotierungsstoffe ebenfalls diffundieren und können innerhalb der Siliziumaktivschicht und der darunter liegenden  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht wieder verteilt werden.

Um nun auf die Fig. 6A–6E einzugehen, so umfassen bevorzugte Verfahren zur Herstellung von SOI-Feldeffekttransistoren die Ausbildung eines Substrats mit einer spannungsfreien Siliziumaktivschicht **36** darauf und mit einer darin eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34**. Wie durch Fig. 6A veranschaulicht ist, kann die spannungsfreie Siliziumaktivschicht **36** eine Dicke haben, die größer ist als etwa 600 Å und die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34** kann eine Dicke von weniger als etwa 800 Å haben. In bevorzugter Weise kann die spannungsfreie Siliziumaktivschicht **36** eine Dicke in einem Bereich zwischen etwa 800 Å und 1200 Å haben und die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34** kann eine Dicke in einem Bereich zwischen etwa 200 Å und 600 Å haben. Noch bevorzugter kann die spannungsfreie Siliziumaktivschicht **36** eine Dicke von 1000 Å haben und die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34** kann eine Dicke von 400 Å haben. Eine relativ dünne Unterlegungsschicht **32** aus unter Spannung stehendem und entspanntem Silizium mit einer Dicke von etwa 300 Å kann ebenfalls zwischen der eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34** und einer eingegrabenen Oxidschicht **30** vorgesehen sein. Diese Unterlegungsschicht **32** kann auch weggelassen werden. Die Konzentration von Ge in der eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34** kann an dem Übergang mit der Siliziumaktivschicht **36** und der Unterlegungsschicht **32** auf Null eingestellt sein. Die Konzentration Ge in der eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht **34** kann ebenfalls auf einen Spitzenwert in einem Bereich zwischen 0,2 und 0,4 eingestellt werden und kann linear gestaffelt relativ zu dem Spitzenwert verlaufen. Die eingegrabene Oxidschicht **30** kann auf einem Halbleitersubstrat oder Wafer (nicht gezeigt) vorgesehen sein.

Gemäß Fig. 6B werden dann die die Schwellenwertspannung steuernden Dotierungsstoffe **38** in die entspannte oder spannungsfreie Siliziumaktivschicht **36** implantiert. Für den Fall, daß sowohl die NMOS- als auch PMOS-Vorrichtungen

an benachbarten Stellen innerhalb der Siliziumaktivschicht 36 ausgebildet werden, können getrennte NMOS- und PMOS-Implantationsmasken (nicht gezeigt) auf der entspannten Siliziumaktivschicht 36 ausgebildet werden. Diese Masken können verwendet werden, wenn N-leitende Dotierungsstoffe als die die Schwellenwertspannung steuernden Dotierungsstoffe für die PMOS-Vorrichtungen implantiert werden und wenn P-leitende Dotierungsstoffe als die die Schwellenwertspannung steuernde Dotierungsstoffe für NMOS-Vorrichtungen implantiert werden. Die implantierten Dotierungsstoffe 38 können Bor (B) und Indium (In) enthalten, wenn NMOS-Vorrichtungen hergestellt werden, und können Arsen (As) und Phosphor (P) enthalten, wenn PMOS-Vorrichtungen hergestellt werden. Es können auch andere Dotierungsstoffe verwendet werden. Insbesondere kann der veranschaulichte Implantationsschritt zwei getrennte Implantationsschritte umfassen. Erstens können Schwellenwertspannungssteuerdotierungsstoffe, wie  $\text{BF}_2$ -Ionen, auf einem Energiewert in einem Bereich zwischen etwa 30–60 KeV implantiert werden und mit einem Dosiswert in einem Bereich zwischen etwa  $8 \times 10^{11} \text{ cm}^{-2}$  und  $5 \times 10^{13} \text{ cm}^{-2}$  und bei einem Neigungswinkel von  $0^\circ$ . Zweitens können auch Schwellenwertspannungssteuerdotierungsstoffe, wie beispielsweise Indiumionen, auf einem höheren Energiewert in einem Bereich zwischen etwa 150–250 KeV und einem Dosierungswert in einem Bereich zwischen etwa  $8 \times 10^{11} \text{ cm}^{-2}$  und  $5 \times 10^{13} \text{ cm}^{-2}$  implantiert werden. Wenn PMOS-Vorrichtungen hergestellt werden, kann der veranschaulichte Implantationsschritt auch das getrennte Implantieren von Arsen- und Phosphorionen mit einer ausreichenden Dosis und bei ausreichenden Energiewerten umfassen, um ein gewünschtes retro-gestaffeltes bzw. rückläufiges Dotierungsstoffprofil innerhalb der Kanalzone und der Körperzone innerhalb der Siliziumaktivzone 36 und der darunter liegenden  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 34 zu erzielen. Insbesondere kann der erste Implantationsschritt das Implantieren von P-Ionen bei einem Energiewert in einem Bereich zwischen etwa 20–40 KeV umfassen, ferner bei einem Dosierungswert in einem Bereich zwischen etwa  $8 \times 10^{11} \text{ cm}^{-2}$  und  $5 \times 10^{13} \text{ cm}^{-2}$  bei einem Neigungswinkel von  $7^\circ$ . Die Arsenionen können dann bei einem höheren Energiewert in einem Bereich zwischen etwa 150–250 KeV und mit einem Dosierungswert in einem Bereich zwischen etwa  $8 \times 10^{11} \text{ cm}^{-2}$  und  $5 \times 10^{13} \text{ cm}^{-2}$  implantiert werden. Die Arsenionen können die Schwellenwertspannung beeinflussen, sie haben jedoch in typischer Weise einen sehr viel stärkeren Einfluß auf die Vorrichtungseigenschaften, indem sie die Durchbruchspannung (punch-through) in der Körperzone der PMOS-Vorrichtung verhindern.

Gemäß Fig. 6C können herkömmliche Techniken dazu verwendet werden, um eine isolierte Gateelektrode auf der Primärfläche der Siliziumaktivschicht 36 festzulegen. Diese Techniken können die Ausbildung einer thermischen Oxidschicht 42 auf der primären Oberfläche und das Niederschlagen einer dotierten oder undotierten Polysiliziumschicht 40 auf der thermischen Oxidschicht 42 umfassen. Es können dann herkömmliche Techniken dazu verwendet werden, um die Polysiliziumschicht und die thermische Oxidschicht in eine isolierte Gateelektrode zu gestalten mit freigelegten Seitenwänden. Techniken zur Herstellung von isolierten Gateelektroden sind vollständiger in allgemein Park zugeordneten US-Patenten Nrn. 6.6064.092 mit dem Titel "Semiconductor-On-Insulator Substrates Containing Electrically Insulating Mesas" ("Halbleiter-auf-Isolator-Substrate, enthaltend elektrisch isolierende Mesas"); 5.998.840 von Kim mit dem Titel "Semiconductor-On-Insulator Field Effect Transistors With Reduced Floating Body Parasitics" ("Halbleiter-auf-Isolator-Feldeffekttransistoren mit redu-

zierten Schwebeparasilärscheinungen"); und 5.877.046 von Yu et al. mit dem Titel "Methods of Forming Semiconductor-On-Insulator Substrates" ("Verfahren zur Herstellung von Halbleiter-auf-Isolator-Substraten") beschrieben, deren Offenbarungsgehalte hier unter Bezugnahme darauf voll mit einbezogen werden. Es können dann erste Source- und Drainzonendotierungsstoffe 39 in die Siliziumaktivschicht 36 implantiert werden, um leicht dotierte Source-(LDS)- und Drain-(LDD)-Zonen 44a und 44b festzulegen. Wie veranschaulicht ist, können diese Dotierungsstoffe in einer Selbstausrichtung unter Verwendung der isolierten Gateelektrode als eine Implantationsmaske implantiert werden. Für eine PMOS-Vorrichtung können Bor-dotierungsstoffe (z. B.  $\text{BF}_2$ -Ionen) bei einem Energiewert in einem Bereich zwischen etwa 3–30 KeV und mit einem Dosiswert in einem Bereich zwischen etwa  $1 \times 10^{12} \text{ cm}^{-2}$  und  $1 \times 10^{16} \text{ cm}^{-2}$  implantiert werden. Alternativ können für eine NMOS-Vorrichtung Arsendotierungsstoffe bei einem Energiewert in einem Bereich zwischen etwa 20–50 KeV und mit einem Dosiswert in einem Bereich zwischen etwa  $1 \times 10^{12} \text{ cm}^{-2}$  und  $1 \times 10^{16} \text{ cm}^{-2}$  implantiert werden. Es kann dann ein relativ kurz dauernder Temperungsschritt ausgeführt werden, um die LDD- und LDS-Dotierungsstoffe seitlich und vertikal zu diffundieren. Andere Dotierungsstoffe können ebenfalls verwendet werden, wenn die LDS- und LDD-Zonen ausgebildet werden.

Um nun auf Fig. 6D einzugehen, so können dann Taschenimplantationszonendotierungsstoffe 46 in einem Neigungswinkel in einem Bereich zwischen etwa 7 und 35 Grad implantiert werden, um P-leitende Taschenimplantationszonen 48a–b innerhalb einer NMOS-Vorrichtung festzulegen, oder um N-leitende Taschenimplantationszonen 48a–b innerhalb einer PMOS-Vorrichtung festzulegen. Dieser Implantationsschritt wird in bevorzugter Weise bei einem ausreichenden Energiewert und Dosiswert durchgeführt, um ein Eindringen unter die LDD- und LDS-Zonen 44a und 44b und in die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht 34 zu erzielen. Insbesondere können die N-leitenden Taschenimplantationszonen 48a–b dadurch ausgebildet werden, indem Arsenionen mit einem Energiewert in einem Bereich zwischen etwa 100 und 300 KeV und mit einem Dosiswert in einem Bereich zwischen etwa  $1 \times 10^{12} \text{ cm}^{-2}$  und  $1 \times 10^{15} \text{ cm}^{-2}$  implantiert werden. Diese P-leitenden Taschenimplantationszonen 48a–b können auch dadurch ausgebildet werden, indem Borionen mit einem Energiewert in einem Bereich zwischen etwa 20 und 60 KeV und mit einem Dosiswert in einem Bereich zwischen etwa  $1 \times 10^{12} \text{ cm}^{-2}$  und  $1 \times 10^{15} \text{ cm}^{-2}$  implantiert werden.

Es können dann hochdotierte N-leitende Source- und Drainzonen 50a und 50b dadurch ausgebildet werden, indem Arsenionen 52 mit einem Energiewert in einem Bereich zwischen etwa 20–60 KeV und mit einem Dosiswert in einem Bereich zwischen etwa  $5 \times 10^{14} \text{ cm}^{-2}$  und  $1 \times 10^{11} \text{ cm}^{-2}$  implantiert werden. Alternativ können für eine PMOS-Vorrichtung die hochdotierten P-leitenden Source- und Drainzonen 50a und 50b dadurch ausgebildet werden, indem  $\text{BF}_2$ -Ionen 52 bei einem Energiewert in einem Bereich zwischen etwa 25–40 KeV und mit einem Dosiswert in einem Bereich zwischen etwa  $1 \times 10^{14} \text{ cm}^{-2}$  und  $5 \times 10^{16} \text{ cm}^{-2}$  implantiert werden. Ein Eintreib- und Aktivierungsschritt kann dann ausgeführt werden, indem das Substrat getempert wird, und zwar unter Verwendung einer schnellen thermischen Temperungstechnik. Der Temperungsschritt kann bei einer Temperatur in einem Bereich zwischen  $900^\circ\text{C}$  und  $1050^\circ\text{C}$  ausgeführt werden, und zwar für eine Dauer in einem Bereich zwischen 10–200 Sekunden.

Um nun auf die Fig. 7A–7D einzugehen, so werden Vor- temperungs- und Nachtemperungsprofile von N-leitenden

Dotierungsstoffen in herkömmlichen SOI-Substraten und in SOI-Substraten mit darin eingefügten SiGe-Schichten im folgenden beschrieben. Insbesondere veranschaulicht **Fig. 7A** Dotierungsprofile für Phosphor (P) und Arsen (As) in einem herkömmlichen SOI-Substrat mit einer eingegrabenen Oxidschicht (BOX), die sich darin zwischen einer Siliziumaktivschicht (oberes Si) und einem Siliziumwafer (nicht gezeigt) erstreckt. Die veranschaulichten Phosphor- und Arsendotierungsstoffe wurden mit Energien von 30 KeV bzw. 200 KeV implantiert. Wie in **Fig. 7B** veranschaulicht ist, haben sich nach der Ausführung eines schnellen thermischen Temperungsprozesses (RTA) bei einer Temperatur von etwa 1000°C und einer Dauer von etwa 30 Sekunden die ursprünglich gauss-förmig gestalteten Dotierungsprofile ausgebreitet oder ausgeweitet und haben sich zu im wesentlichen einheitlichen Profilen gestaltet. Im Gegensatz dazu zeigen die Dotierungsprofile, die in den **Fig. 7C** und **7D** veranschaulicht sind, daß ein retro-gestaffeltes As-Profil in einem SOI-Substrat erzielt werden kann, welches eine darin eingegrabene Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht aufweist, welches in Einklang mit den Verfahren der vorliegenden Erfindung hergestellt wurde. Dieses retro-gestaffelte Profil wird zum Teil dadurch erzielt, indem die eingegrabene Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht mit einer ausreichenden Konzentration von Ge dotiert wird, um wesentliche die Dotierungsstofflösbarkeit von Arsen in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht relativ zu der Siliziumaktivschicht zu erhöhen. Insbesondere veranschaulicht **Fig. 7C** die Vortemperungs-Phosphor- und -Arsen-Profile (Phosphor- und Arsendotierungsstoffe wurden bei Energien von 30 KeV bzw. 200 KeV implantiert) und **Fig. 7D** veranschaulicht die Profile nach der Temperung. Wie bei **Fig. 7B** wurde der schnelle thermische Anlaßschritt bei einer Temperatur von etwa 1000°C und einer Dauer von etwa 30 Sekunden durchgeführt. Wie in **Fig. 7D** veranschaulicht ist, fällt das Arsenprofil monoton von einem Spitzenkonzentrationswert von  $1 \times 10^{19} \text{ cm}^{-3}$  innerhalb der eingegrabenen Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht auf einen minimalen Konzentrationswert von  $1 \times 10^{17} \text{ cm}^{-3}$  an der Oberfläche des Substrats ab. Abhängig von dem Profil und der Konzentration der Phosphordotierungsstoffe in der Siliziumaktivschicht kann das kombinierte Profil aus den P- und As-Dotierungsstoffen ebenfalls retro-gestaffelt sein, und zwar über die Siliziumaktivschicht hinweg.

Es wurden in den Zeichnungen und in der Beschreibung typische bevorzugte Ausführungsformen der Erfindung offenbart und, obwohl spezifische Ausdrücke verwendet wurden, so wurden diese lediglich in einem gattungsmäßigen und beschreibenden Sinn verwendet und nicht zum Zwecke, um den Rahmen der Erfindung einzuschränken, der sich aus den nachfolgenden Ansprüchen ergibt.

#### Patentansprüche

1. Halbleiter-auf-Isolator-Feldeffekttransistor, mit:  
einer elektrisch isolierenden Schicht;  
einer entspannten (unstrained) Siliziumaktivschicht auf der elektrisch isolierenden Schicht;  
einer isolierten Gateelektrode auf einer Oberfläche der entspannten oder spannungsfreien Siliziumaktivschicht; und  
einer zwischen der elektrisch isolierenden Schicht und der spannungsfreien Siliziumaktivschicht angeordneten Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht, wobei die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht einen ersten Übergang mit der spannungsfreien Siliziumaktivschicht bildet und eine gestaffelte bzw. gradientenförmige Konzentration von Ge darin aufweist, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zu der Oberfläche hin erstreckt.

2. Transistor nach Anspruch 1, bei dem der Spitzenwert größer ist als  $x = 0,15$ ; und bei dem die Konzentration von Ge in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht von dem Spitzenwert aus zu einem Wert hin variiert, der an dem ersten Übergang kleiner ist als etwa  $x = 0,1$ .
3. Transistor nach Anspruch 2, bei dem die Konzentration von Ge in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht von einem Spitzenwert aus, bei dem  $0,2 < x < 0,4$  ist, zu einem Wert hin variiert, bei dem  $x = 0$  ist, und zwar bei dem ersten Übergang.
4. Transistor nach Anspruch 3, bei dem die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht eine Zwischenschicht mit der elektrisch isolierenden Schicht festlegt; und bei dem die gestaffelte Konzentration von Ge in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht auch von einem Wert, der kleiner ist als etwa  $x = 0,1$  aus an der Zwischenschicht zu dem Spitzenwert hin zunimmt.
5. Transistor nach Anspruch 1, bei dem die spannungslose oder entspannte Siliziumaktivschicht eine Dicke größer als etwa 600 Å besitzt.
6. Transistor nach Anspruch 5, bei dem die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht eine Dicke von weniger als 800 Å besitzt.
7. Transistor nach Anspruch 1, bei dem die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht mit einem N-leitenden Dotierungsstoff dotiert ist; und bei dem eine Konzentration des N-leitenden Dotierungsstoffes in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht ein Profil hat, welches in der ersten Richtung abnimmt bzw. abfällt.
8. Halbleiter-auf-Isolator-Feldeffekttransistor, mit:  
einer elektrisch isolierenden Schicht;  
einer zusammengesetzten Halbleiteraktivzone auf der elektrisch isolierenden Schicht, wobei die zusammengesetzte Halbleiteraktivzone eine entspannte oder spannungsfreie Siliziumaktivschicht mit einer Dicke größer als etwa 600 Å umfaßt, und bei dem eine einzelne Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht zwischen der elektrisch isolierenden Schicht und der Siliziumaktivschicht angeordnet ist, wobei die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht einen ersten Übergang mit der Siliziumaktivschicht bildet und eine gestaffelte Konzentration von Ge darin aufweist, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zu einer Oberfläche der Siliziumaktivschicht hin erstreckt; und  
einer isolierten Gateelektrode auf der Oberfläche.
9. Transistor nach Anspruch 8, bei dem der Spitzenwert größer ist als  $x = 0,15$ ; und bei dem die Konzentration von Ge in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht von einem Spitzenwert aus zu einem Wert hin variiert, der kleiner ist als etwa  $x = 0,1$ , und zwar bei dem ersten Übergang.
10. Transistor nach Anspruch 9, bei dem die Konzentration von Ge in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht von dem Spitzenwert aus, bei dem  $0,2 < x < 0,4$  ist, zu einem Wert hin variiert, bei dem  $x = 0$  ist, und zwar bei dem ersten Übergang.
11. Transistor nach Anspruch 10, bei dem die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht eine Zwischenschicht mit der elektrisch isolierenden Schicht festlegt; und bei dem die gestaffelte bzw. gradientenförmige Konzentration von Ge in der Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht auch von einem Wert aus, der kleiner ist als etwa  $x = 0,1$  an der Zwischenschicht zu dem Spitzenwert hin zunimmt.
12. Transistor nach Anspruch 8, bei dem die Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht eine Dicke von weniger als 800 Å besitzt.
13. PMOS-Feldeffekttransistor, mit:  
einer zusammengesetzten Halbleiteraktivzone auf einer elektrisch isolierenden Schicht, wobei die zusammengesetzte Halbleiteraktivzone eine einzelne Si<sub>1-x</sub>Ge<sub>x</sub>-Schicht besitzt mit einer gestaffelten bzw. gradientenförmig verlaufenden Konzentration Ge

darin, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert innerhalb der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht aus zu einer Oberfläche derselben hin erstreckt, und mit einer Siliziumaktivschicht, die sich von einem ersten Übergang mit der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht zur Oberfläche hin erstreckt, wobei die zusammengesetzte Halbleiteraktivzone ein rückläufiges N-leitendes Dotierungsstoffprofil darin aufweist mit einem minimalen Wert benachbart der Oberfläche und mit einem Spitzenwert in der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht; und einer isolierten Gateelektrode auf der Oberfläche.

14. Transistor nach Anspruch 13, bei dem die Siliziumaktivschicht eine Dicke größer als etwa 600 Å hat und eine spannungsfreie oder entspannte Zone benachbart der Oberfläche aufweist.

15. Transistor nach Anspruch 14, ferner mit: leicht dotierten P-leitenden Source- und Drainzonen, die sich in die Siliziumaktivschicht und in Gegenüberlage von der isolierten Gateelektrode erstrecken; und einer source-seitigen Taschenimplantationszone mit einer N-Leitfähigkeit, die sich zwischen der leicht dotierten P-leitenden Sourcezone und der einzelnen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht erstreckt und damit jeweils gleichrichtende und nicht gleichrichtende Übergänge bildet.

16. Anreicherungsbetrieb-Feldeffekttransistor, mit: einer elektrisch isolierenden Schicht; einer Siliziumaktivschicht auf der elektrisch isolierenden Schicht; einer isolierten Gateelektrode auf einer Oberfläche der Siliziumaktivschicht; einer zwischen der elektrisch isolierenden Schicht und der Siliziumaktivschicht angeordneten  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht, wobei die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht einen ersten Übergang mit der Siliziumaktivschicht bildet; leicht dotierte Source- und Drainzonen des ersten Leitfähigkeitstyps in der Siliziumaktivschicht; und einer source-seitigen Taschenimplantationszone des zweiten Leitfähigkeitstyps, die sich zwischen der leicht dotierten Sourcezone und der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht erstreckt und mit dieser gleichrichtende und nichtgleichrichtende Übergänge bildet.

17. Transistor nach Anspruch 16, bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht eine gestaffelte Konzentration von Ge darin aufweist, die in einer Richtung von der elektrisch isolierenden Schicht aus zu der isolierten Gateelektrode hin abnimmt.

18. Transistor nach Anspruch 17, bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht ein rückläufiges N-leitendes Dotierungsprofil in sich aufweist.

19. Transistor nach Anspruch 18, bei dem die Siliziumaktivschicht eine Dicke größer als etwa 600 Å aufweist.

20. Verfahren zur Herstellung eines Halbleitersubstrats, mit den folgenden Schritten: Ausbilden eines Handhabungssubstrates mit einer darin ausgebildeten Siliziumschicht und einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht, die sich auf der Siliziumschicht erstreckt; Bonden eines abstützenden Substrats an das Handhabungssubstrat, so daß die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht zwischen dem abstützenden Substrat und der Siliziumschicht angeordnet ist; und Entfernen eines Abschnitts des Handhabungssubstrats von dem abstützenden Substrat, um die Siliziumschicht freizulegen und um ein Halbleiter-auf-Isolator-Substrat mit einer darin eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht festzulegen.

21. Verfahren nach Anspruch 20, bei dem die eingegrabene  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht eine gestaffelte bzw. gradientenförmig verlaufende Konzentration von Ge darin aufweist, die in einer Richtung von dem abstützenden Substrat zur Siliziumschicht hin abnimmt; und bei dem die Siliziumschicht aus einer spannungslosen (unstrained) Siliziumschicht besteht.

22. Verfahren nach Anspruch 20, bei dem der Schritt der Ausbildung des Handhabungssubstrats die Ausbildung eines Handhabungssubstrats mit einer ersten Siliziumschicht darin umfaßt, ferner die Ausbildung einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht, die sich auf der ersten Siliziumschicht erstreckt, und die Ausbildung einer zweiten Siliziumschicht umfaßt, die sich auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht erstreckt.

23. Verfahren nach Anspruch 22, bei dem dem Verbindungsschritt ein Schritt gemäß einer thermischen Oxidation der zweiten Siliziumschicht vorangeht, um eine thermische Oxidschicht festzulegen, wobei das abstützende Substrat eine Oxidoberflächenschicht aufweist; und bei dem der Verbindungsschritt das Bonden der Oxidoberflächenschicht an die thermische Oxidschicht umfaßt.

24. Verfahren nach Anspruch 20, bei dem dem Verbindungsschritt ein Schritt gemäß dem Niederschlagen einer elektrisch isolierenden Schicht auf der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht vorangeht; wobei das abstützende Substrat eine Oxidoberflächenschicht aufweist; und bei dem der Verbindungsschritt das Bonden der Oxidoberflächenschicht an die elektrisch isolierende Schicht umfaßt.

25. Verfahren nach Anspruch 20, bei dem das Handhabungssubstrat eine poröse Siliziumschicht umfaßt; und bei dem der Entfernungsschritt das Entfernen eines Abschnitts des Handhabungssubstrats von dem abstützenden Substrat umfaßt, indem die poröse Siliziumschicht aufgespalten wird.

26. Verfahren nach Anspruch 25, bei dem der Entfernungsschritt das Planieren der porösen Siliziumschicht und der Siliziumschicht in Aufeinanderfolge umfaßt.

27. Verfahren nach Anspruch 20, bei dem das Handhabungssubstrat eine poröse Siliziumschicht darin aufweist; und bei dem der Entfernungsschritt das Planieren der porösen Siliziumschicht und der Siliziumschicht in Aufeinanderfolge umfaßt.

28. Verfahren nach Anspruch 20, bei dem der Schritt der Ausbildung eines Handhabungssubstrats die folgenden Schritte umfaßt: epitaxiales Wachsenlassen einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auf der Siliziumschicht; und Implantieren von Wasserstoffionen durch die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und die Siliziumschicht hindurch, um eine Wasserstoffimplantationsschicht in dem Handhabungssubstrat festzulegen.

29. Verfahren nach Anspruch 28, bei dem der Entfernungsschritt das Aufspalten der Wasserstoffimplantationsschicht umfaßt.

30. Verfahren nach Anspruch 29, bei dem der Entfernungsschritt das Planieren der Wasserstoffimplantationsschicht umfaßt.

31. Verfahren nach Anspruch 21, bei dem der Schritt der Ausbildung eines Handhabungssubstrats die folgenden Schritte umfaßt: epitaxiales Wachsenlassen einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auf der Siliziumschicht; und Implantieren von Wasserstoffionen durch die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht und die Siliziumschicht hindurch, um eine Wasserstoffimplantationsschicht in dem Handhabungssubstrat festzulegen.

32. Verfahren nach Anspruch 31, bei dem der Entfernungsschritt das Aufspalten der Wasserstoffimplantationsschicht umfaßt.

33. Verfahren nach Anspruch 32, bei dem der Entfernungsschritt das Planieren der Wasserstoffimplantationsschicht umfaßt. 5

34. Verfahren zur Herstellung eines Halbleitersubstrats, welches die folgenden Schritte umfaßt:  
Ausbilden eines Handhabungssubstrats mit einer entspannten oder spannungsfreien Siliziumschicht darin 10  
und mit einer epitaxialen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht mit einer gestaffelten bzw. gradientenförmig verlaufenden Konzentration von Ge, die sich auf der spannungsfreien oder entspannten Siliziumschicht erstreckt;  
Bonden eines abstützenden Substrats an das Handhabungssubstrat, so daß die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht zwischen 15  
dem abstützenden Substrat und der spannungsfreien Siliziumschicht angeordnet wird; und  
Entfernen eines Abschnitts des Handhabungssubstrats von dem abstützenden Substrat, um die spannungsfreie 20  
Siliziumschicht freizulegen und um ein Halbleiter-auf-Isolator-Substrat mit einer darin eingegrabenen  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht auszubilden bzw. festzulegen.

35. Verfahren nach Anspruch 34, bei dem der Ausbildungsschritt das Ausbilden eines Handhabungssubstrats mit einer spannungsfreien Siliziumschicht darin 25  
mit einer Dicke größer als etwa 600 Å umfaßt.

36. Verfahren nach Anspruch 35, bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht eine Dicke von weniger als etwa 600 Å besitzt. 30

37. Halbleiter-auf-Isolator-Substrat, mit:  
einem Siliziumwafer mit einer darauf ausgebildeten elektrisch isolierenden Schicht;  
einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht mit einer gestaffelten bzw. gradientenförmig verlaufenden Konzentration von Ge 35  
darin, die sich auf der elektrisch isolierenden Schicht erstreckt; und  
einer spannungsfreien Siliziumaktivschicht, die einen nicht gleichrichtenden Übergang mit der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht bildet und sich auf dieser erstreckt und sich zu einer Oberfläche des Halbleiter-auf-Isolator-Substrats hin erstreckt. 40

38. Substrat nach Anspruch 37, bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht epitaxial aus der spannungsfreien Siliziumaktivschicht gewachsen ist. 45

39. Substrat nach Anspruch 38, bei dem die spannungsfreie Siliziumaktivschicht eine Dicke größer als etwa 600 Å besitzt.

40. Verfahren zur Herstellung eines Feldeffekttransistors, mit den folgenden Schritten: 50  
Ausbilden einer isolierten Gateelektrode auf einer Oberfläche eines Halbleiter-auf-Isolator-Substrats, welches eine elektrisch isolierende Schicht aufweist, einer spannungsfreien Siliziumaktivschicht auf der elektrisch isolierenden Schicht und einer  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht mit einer gestaffelten bzw. gradientenförmig verlaufenden Konzentration von Ge darin, die zwischen der elektrisch isolierenden Schicht und der spannungsfreien Siliziumaktivschicht angeordnet ist;  
Ausbilden von Source- und Drainzonen des ersten Leitfähigkeitstyps in der spannungsfreien Siliziumaktivschicht; und  
Ausbilden von source-seitigen und drain-seitigen Taschenimplantationszonen des zweiten Leitfähigkeitstyps, die sich in die spannungsfreie Siliziumaktivschicht und in die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht erstrecken und jeweils P-N-Übergänge mit den Source- und Drainzonen bilden. 65

41. Verfahren nach Anspruch 40, bei dem die spannungsfreie Siliziumaktivschicht eine Dicke größer als etwa 600 Å besitzt.

42. Verfahren nach Anspruch 40, bei dem dem Schritt der Ausbildung einer isolierten Gateelektrode der Schritt gemäß Implantieren von Schwellenwertspannungssteuerdotierungsstoffen des ersten Leitfähigkeitstyps in die spannungsfreie Siliziumaktivschicht vorangeht; und bei dem der Schritt der Ausbildung einer isolierten Gateelektrode gefolgt wird von dem Schritt einer Temperung (annealing) des Halbleiter-auf-Isolator-Substrats, um ein rückläufiges Profil der Schwellenwertspannungssteuerdotierungsstoffe in der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht herzustellen.

43. Verfahren nach Anspruch 42, bei dem auf den Schritt der Ausbildung der source-seitigen und der drain-seitigen Taschenimplantationszonen der Schritt der Ausbildung von Seitenwandisolierabstandshaltern auf der isolierten Gateelektroden folgt; und bei dem der Schritt der Ausbildung der Source- und Drainzonen die folgenden Schritte umfaßt:  
Implantieren von ersten Source- und Drainzonendotierungsstoffen des ersten Leitfähigkeitstyps in die spannungsfreie Siliziumaktivschicht unter Verwendung der isolierten Gateelektrode als eine Implantationsmaske; und  
Implantieren von zweiten Source- und Drainzonendotierungsstoffen des ersten Leitfähigkeitstyps in die spannungsfreie Siliziumaktivschicht unter Verwendung der isolierten Gateelektrode und der Seitenwandisolierabstandshalter als eine Implantationsmaske.

44. Halbleiter-auf-Isolator-Feldeffekttransistor, mit:  
einer Substratzone;  
einer elektrisch isolierenden Schicht auf der Substratzone;  
einer nicht beanspruchten bzw. spannungsfreien Siliziumaktivschicht mit einer ersten Dicke, die auf der elektrisch isolierenden Schicht angeordnet ist;  
einer isolierten Gateelektrode auf einer Oberfläche der unbeanspruchten oder spannungsfreien Siliziumaktivschicht;  
Seitenwandisolierabstandshalter an der isolierten Gateelektrode;  
einer  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht eines ersten Leitfähigkeitstyps, die zwischen der elektrisch isolierenden Schicht und der spannungsfreien Siliziumaktivschicht angeordnet ist, wobei die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht einen ersten Übergang mit der spannungsfreien Siliziumaktivschicht bildet und eine gestaffelte bzw. gradientenförmig verlaufende Konzentration von Ge darin aufweist, die monoton in einer ersten Richtung abnimmt, welche sich von einem Spitzenwert aus zur Oberfläche hin erstreckt;  
leicht dotierten Source- und Drainzonen des zweiten Leitfähigkeitstyps, die sich in die spannungsfreie Siliziumaktivschicht erstrecken und eine Dicke haben, die kleiner ist als die erste Dicke; und  
einer source-seitigen Taschenimplantationszone des ersten Leitfähigkeitstyps in der spannungsfreien Siliziumaktivschicht, wobei sich die source-seitige Taschenimplantationszone zwischen der leicht dotierten Sourcezone und der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht erstreckt.

45. Transistor nach Anspruch 44, bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht ein rückläufiges Dotierungsprofil des ersten Leitfähigkeitstyps relativ zur Oberfläche aufweist.

46. Transistor nach Anspruch 45, bei dem die  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht ein rückläufiges Arsendotierungsprofil relativ zur Oberfläche aufweist.

47. Transistor nach Anspruch 45, ferner mit einer Kanalzone des ersten Leitfähigkeitstyps in der spannungsfreien Siliziumaktivschicht; und bei dem eine Spitzenkonzentration von Dotierungsstoffen des ersten Leitfähigkeitstyps in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht größer ist als eine Spitzenkonzentration der Dotierungsstoffe des ersten Leitfähigkeitstyps in der Kanalzone. 5
48. Transistor nach Anspruch 46, ferner mit einer Kanalzone des ersten Leitfähigkeitstyps in der spannungsfreien Siliziumaktivschicht; und bei dem eine Spitzenkonzentration von Dotierungsstoffen des ersten Leitfähigkeitstyps in der  $\text{Si}_{1-x}\text{Ge}_x$ -Schicht größer ist als eine Spitzenkonzentration der Dotierungsstoffe des ersten Leitfähigkeitstyps in der Kanalzone. 10
49. Transistor nach Anspruch 48, bei dem die spannungsfreie Siliziumaktivschicht eine Dicke größer als etwa 600 Å aufweist. 15
50. Transistor nach Anspruch 45, bei dem die spannungsfreie Siliziumaktivschicht eine Dicke größer als etwa 600 Å aufweist. 20
51. Feldeffekttransistor, mit:  
einer elektrisch isolierenden Schicht;  
einer Siliziumaktivschicht des ersten Leitfähigkeitstyps auf der elektrisch isolierenden Schicht;  
einer isolierten Gateelektrode auf einer Oberfläche der Siliziumaktivschicht; 25  
einer Sourcezone und einer Drainzone des zweiten Leitfähigkeitstyps in der Siliziumaktivschicht;  
leicht dotierten Source- und Drainzonen des zweiten Leitfähigkeitstyps, die sich zwischen der Sourcezone und der Drainzone erstrecken und eine Kanalzone unterhalb der isolierten Gateelektrode festlegen; und 30  
einer  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht, die zwischen den leicht dotierten Source- und Drainzonen und der elektrisch isolierenden Schicht angeordnet ist. 35
52. Transistor nach Anspruch 51, bei dem die leicht dotierten Source- und Drainzonen die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht nicht kontaktieren; und bei dem die Sourcezone und die Drainzone die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht kontaktieren. 40
53. Transistor nach Anspruch 51, ferner mit einer Epitaxial-Siliziumschicht, die zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht und der elektrisch isolierenden Schicht angeordnet ist.
54. Transistor nach Anspruch 51, bei dem eine Gesamtdicke der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht und der Siliziumaktivschicht kleiner ist als etwa 1500 Å. 45
55. Verfahren zur Herstellung eines Feldeffekttransistors, mit den folgenden Schritten:  
Ausbilden einer elektrisch isolierenden Schicht; 50  
Ausbilden einer Siliziumaktivschicht eines ersten Leitfähigkeitstyps auf der elektrisch isolierenden Schicht;  
Ausbilden einer isolierten Gateelektrode auf einer Oberfläche der Siliziumaktivschicht;  
Ausbilden einer Sourcezone und einer Drainzone eines zweiten Leitfähigkeitstyps in der Siliziumaktivschicht; 55  
Ausbilden von leicht dotierten Source- und Drainzonen des zweiten Leitfähigkeitstyps, die sich zwischen der Sourcezone und der Drainzone erstrecken und eine Kanalzone unterhalb der isolierten Gateelektrode definieren; und 60  
Ausbilden einer  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht, die zwischen den leicht dotierten Source- und Drainzonen und der elektrisch isolierenden Schicht angeordnet ist.
56. Verfahren nach Anspruch 55, bei dem die leicht dotierten Source- und Drainzonen die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht nicht kontaktieren; und bei dem die Sourcezone und die Drainzone die  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht

kontaktieren.

57. Verfahren nach Anspruch 55, ferner mit einem Schritt gemäß einer Ausbildung einer Epitaxial-Siliziumschicht, die zwischen der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht und der elektrisch isolierenden Schicht angeordnet ist.

58. Transistor nach Anspruch 55, bei dem eine Gesamtdicke der  $\text{Si}_{1-x}\text{Ge}_x$ -Epitaxialschicht und der Siliziumaktivschicht kleiner ist als etwa 1500 Å.

---

Hierzu 9 Seite(n) Zeichnungen

---

- Leerseite -

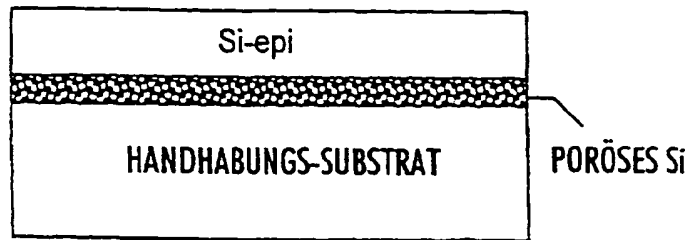


FIG. 1A

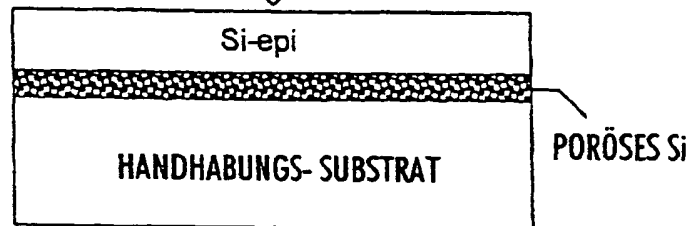
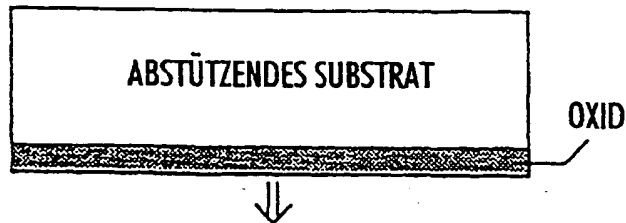


FIG. 1B

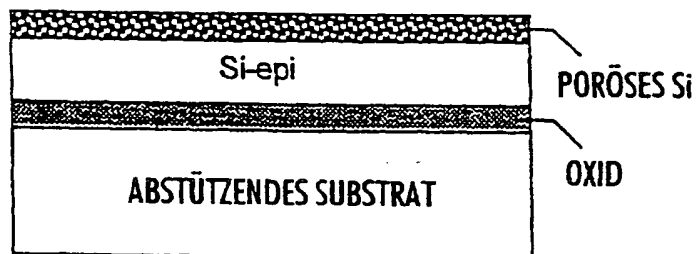


FIG. 1C

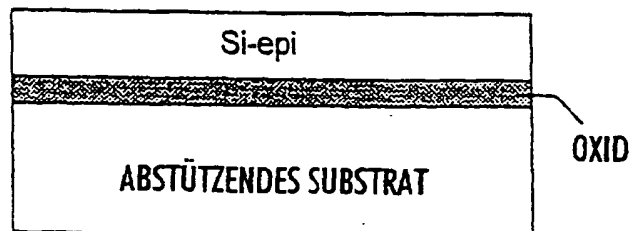


FIG. 1D



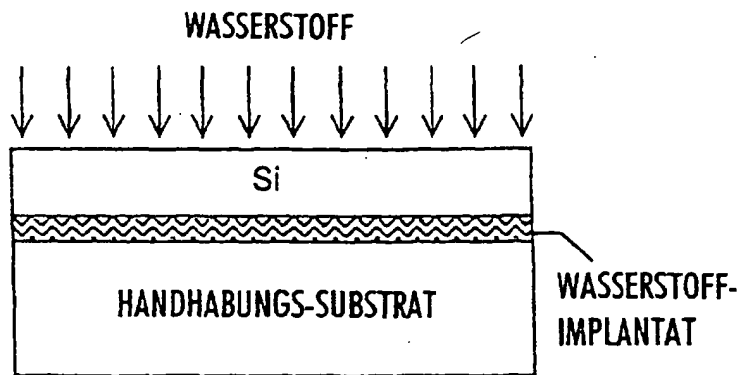


FIG. 2A

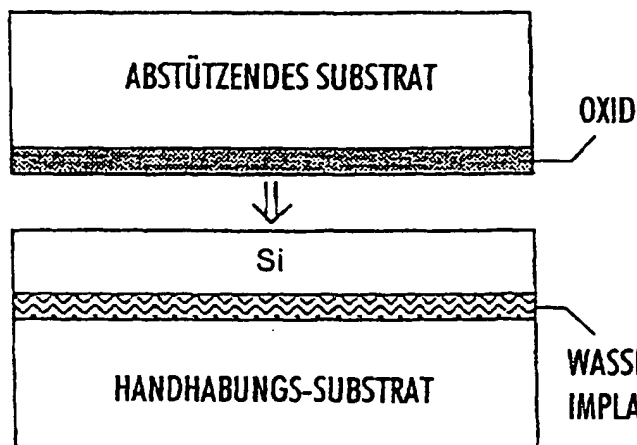


FIG. 2B

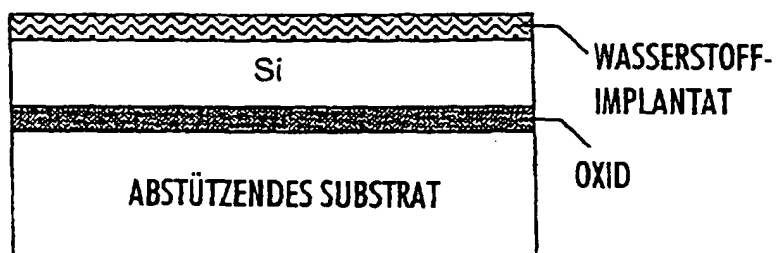


FIG. 2C

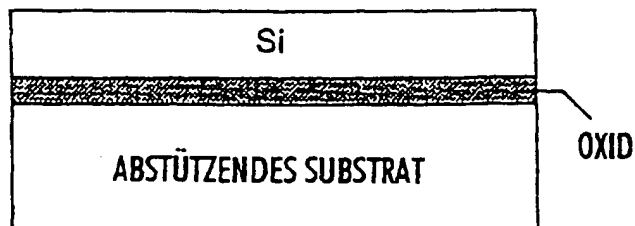


FIG. 2D

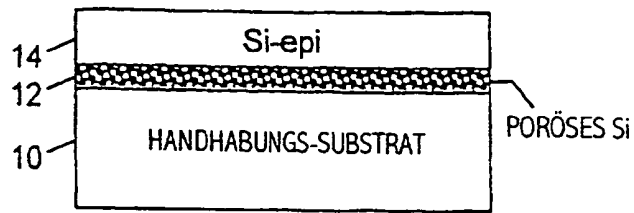


FIG. 3A

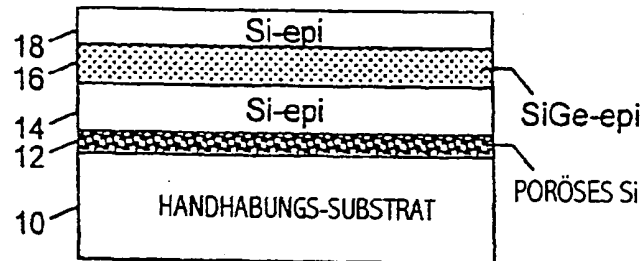


FIG. 3B

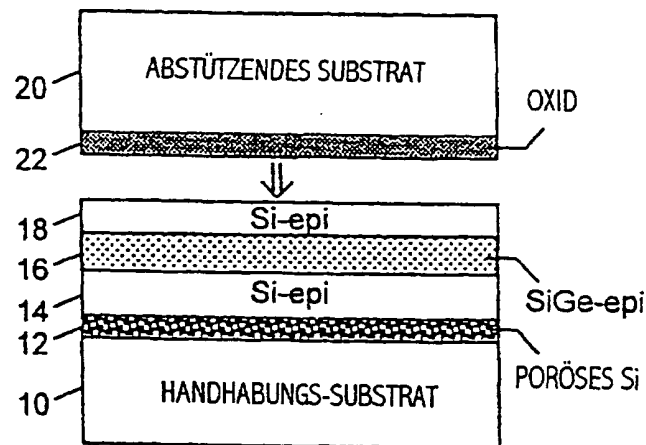


FIG. 3C

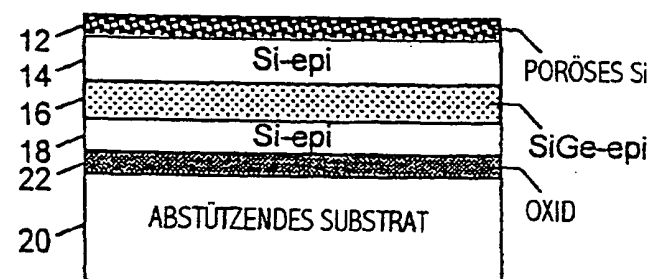


FIG. 3D

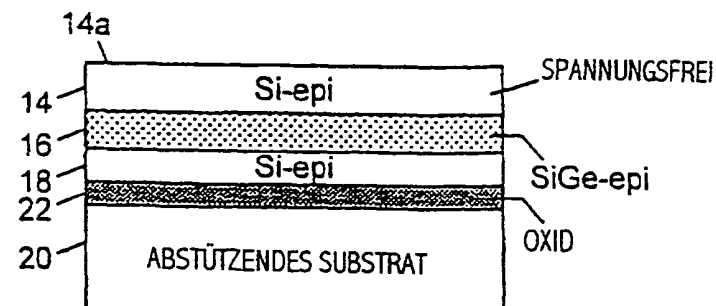


FIG. 3E

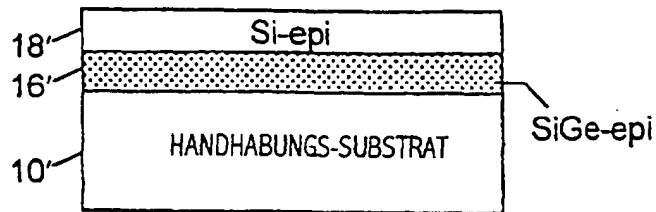


FIG. 4A

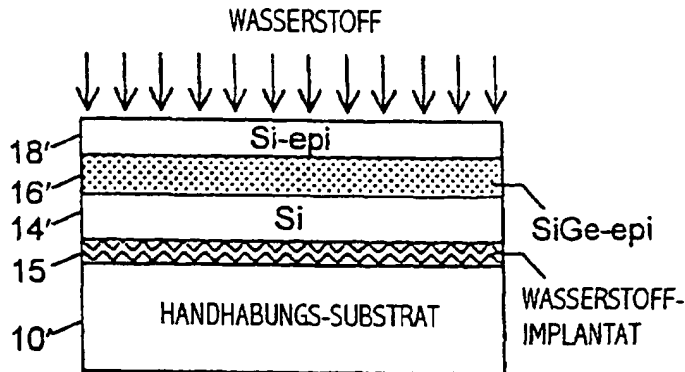


FIG. 4B

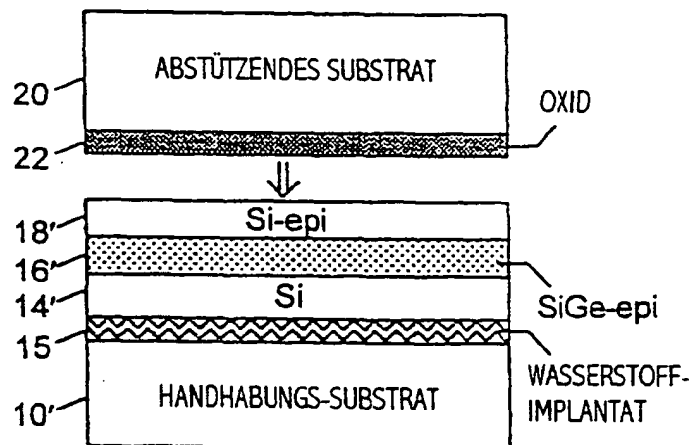


FIG. 4C

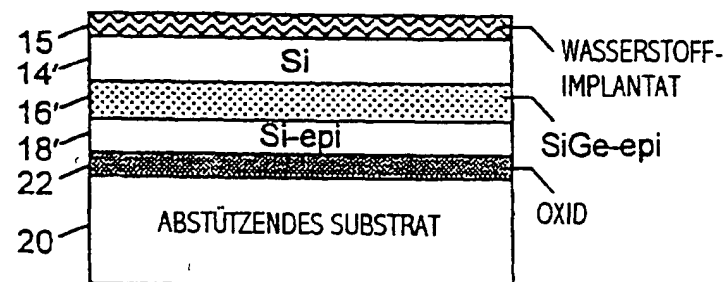


FIG. 4D

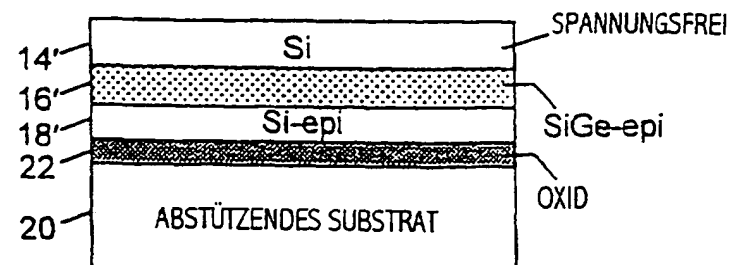


FIG. 4E

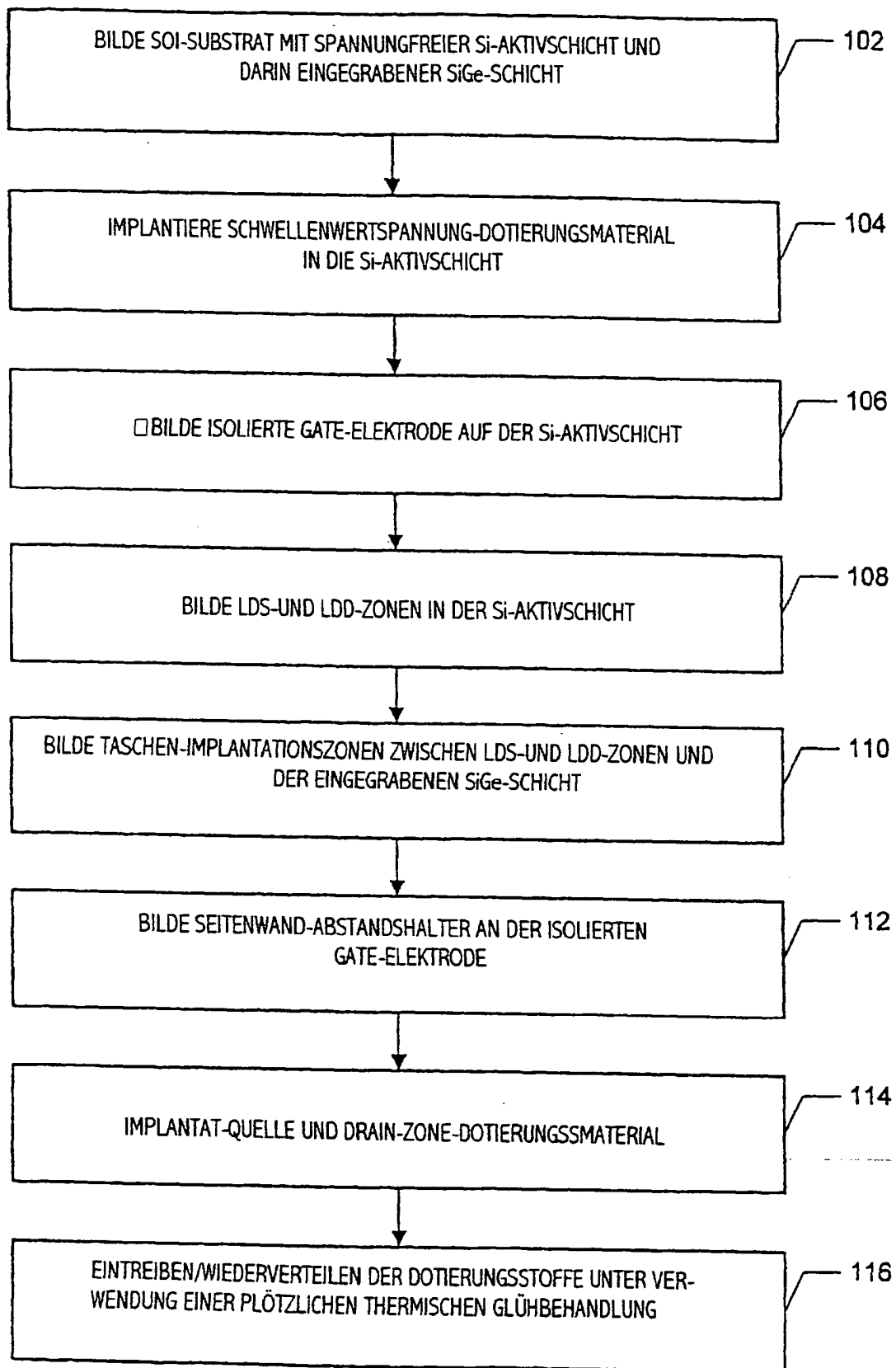


FIG. 5

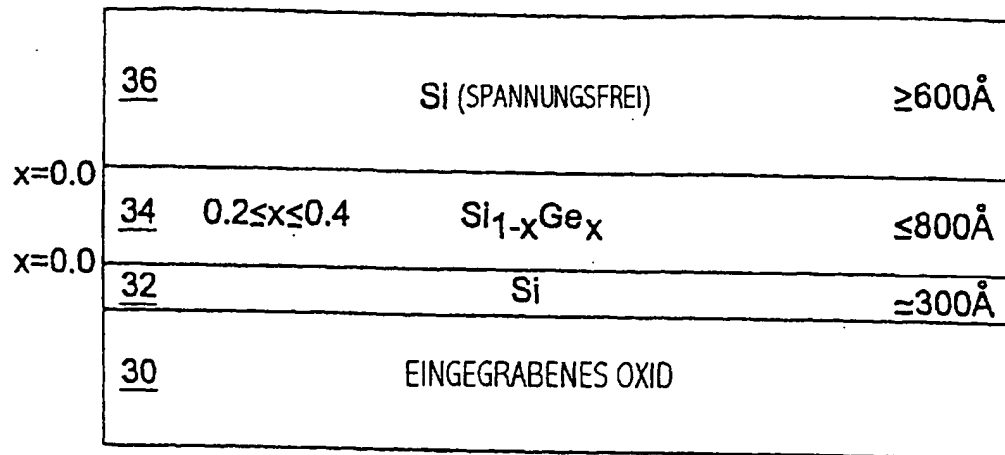


FIG. 6A.

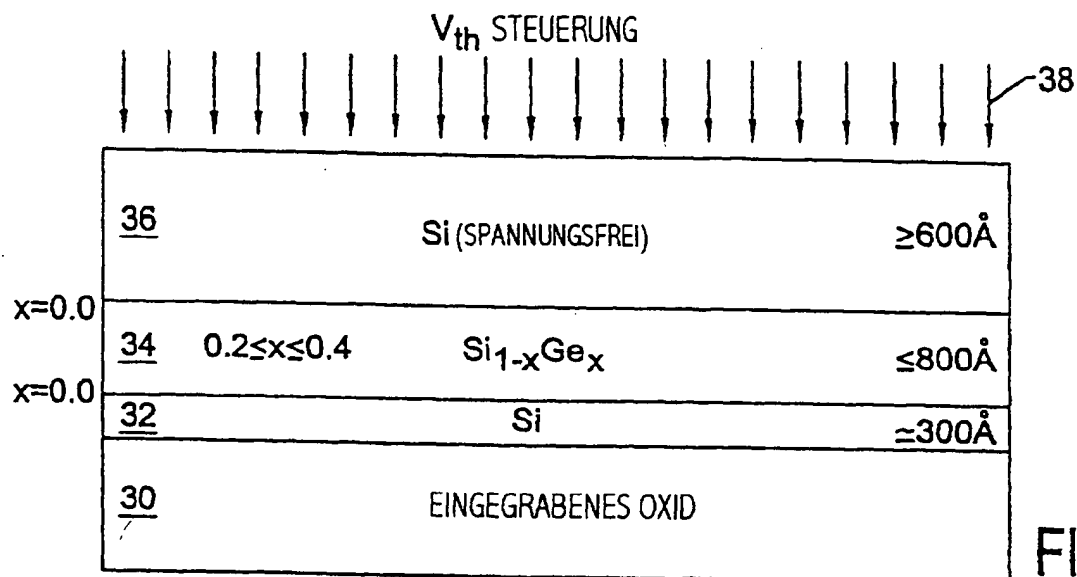


FIG. 6B.

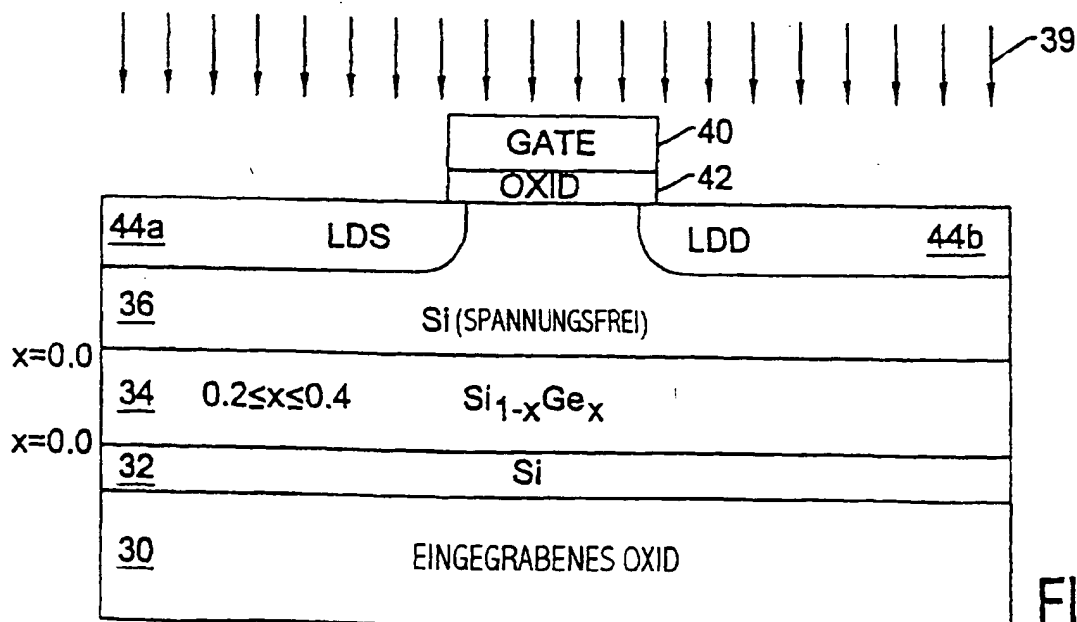


FIG. 6C.

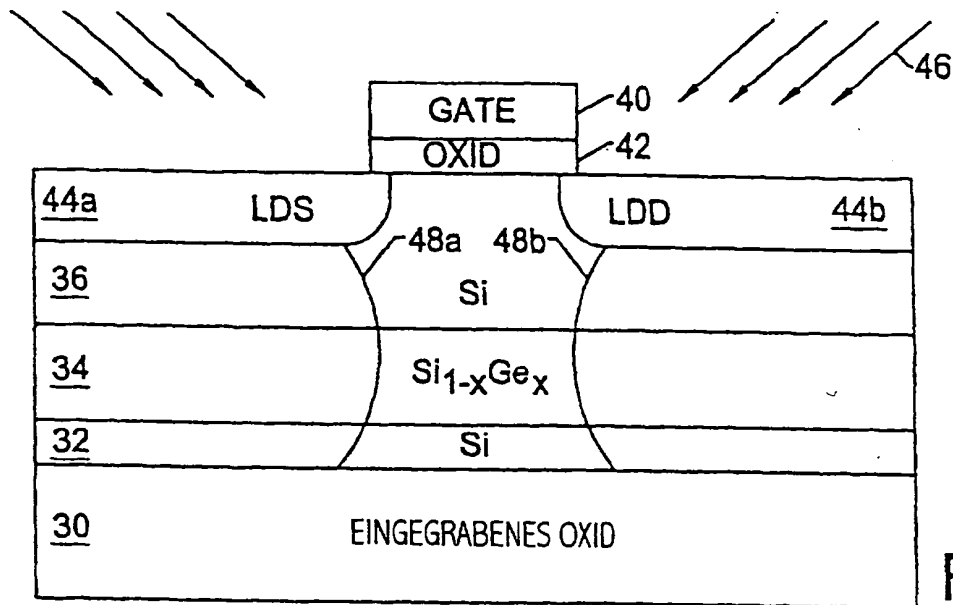


FIG. 6D.

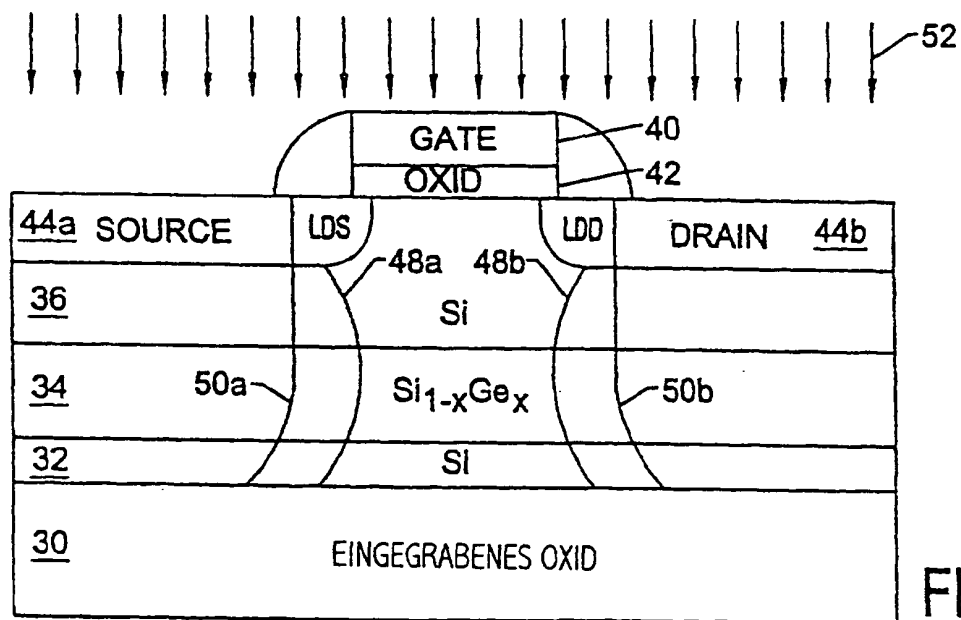


FIG. 6E.

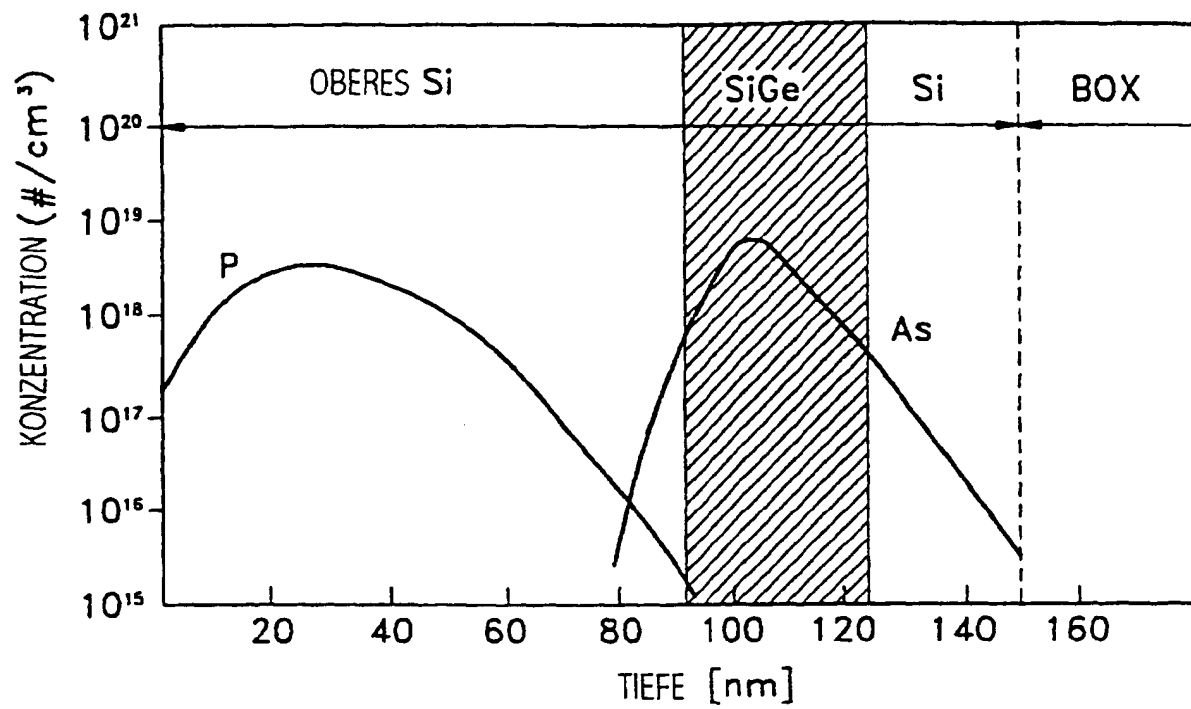
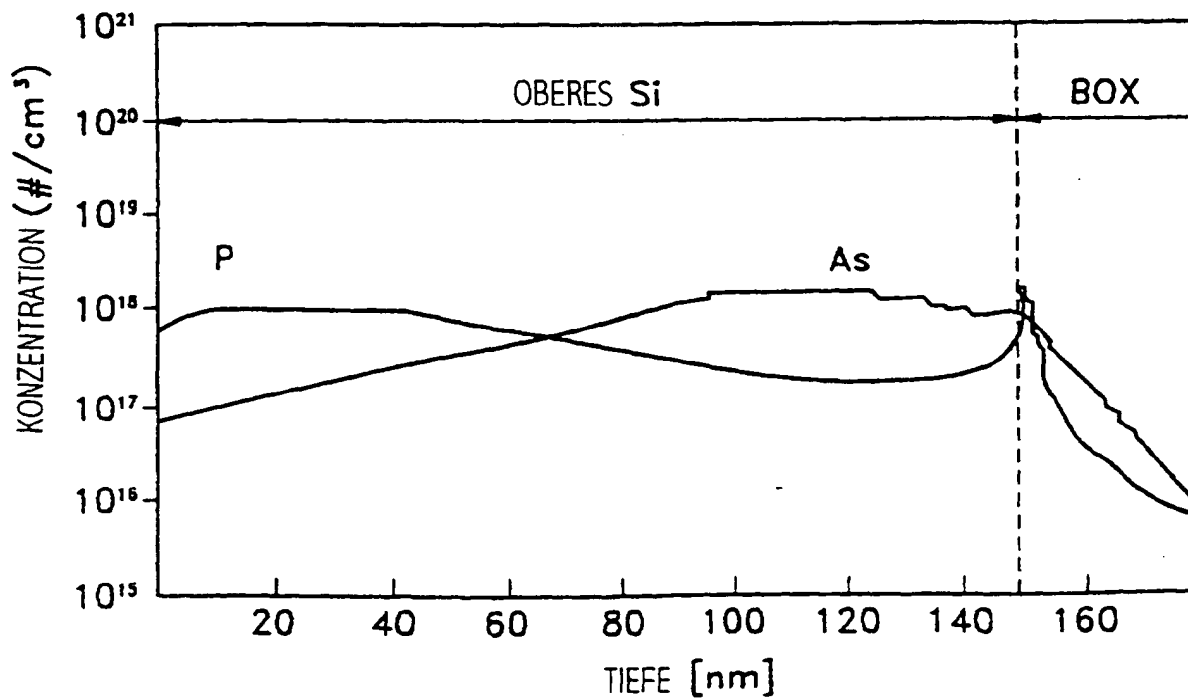
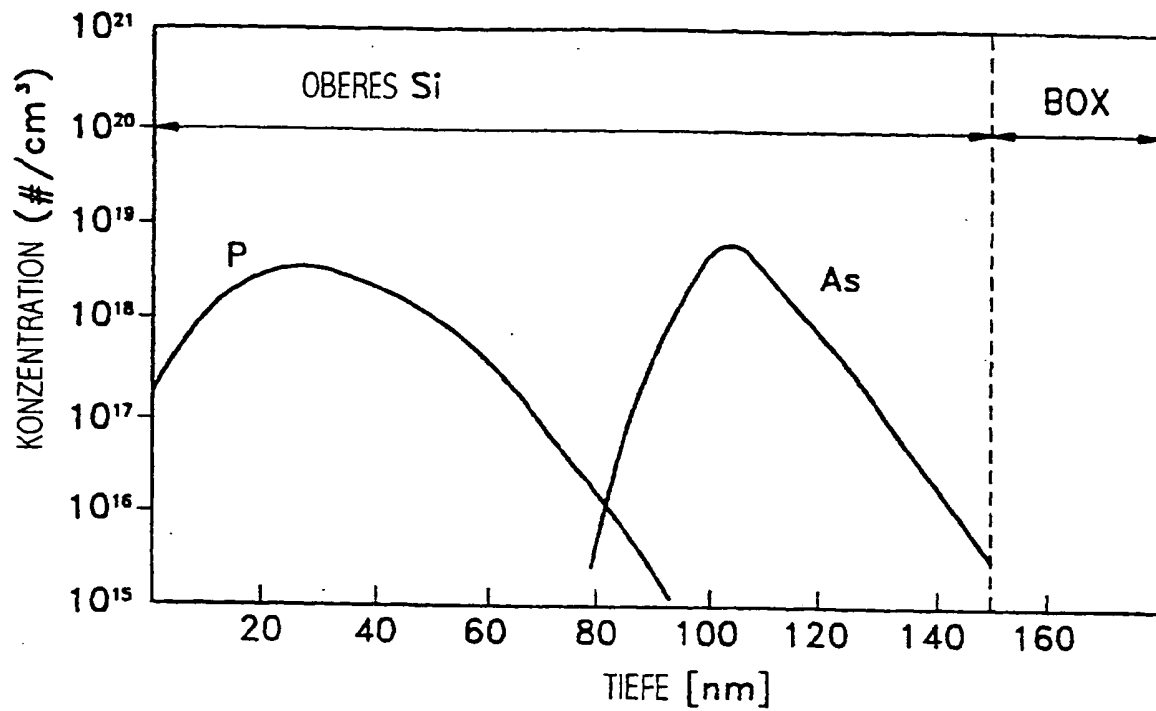
FIG. 7AFIG. 7B

FIG. 7CFIG. 7D